a) 0,1,2,3.. ,9 girişler ve D,C,B,A (LSB) çıkışlar olacak şekilde kodlayıcı için bir doğruluk çizelgesi hazırlayınız.

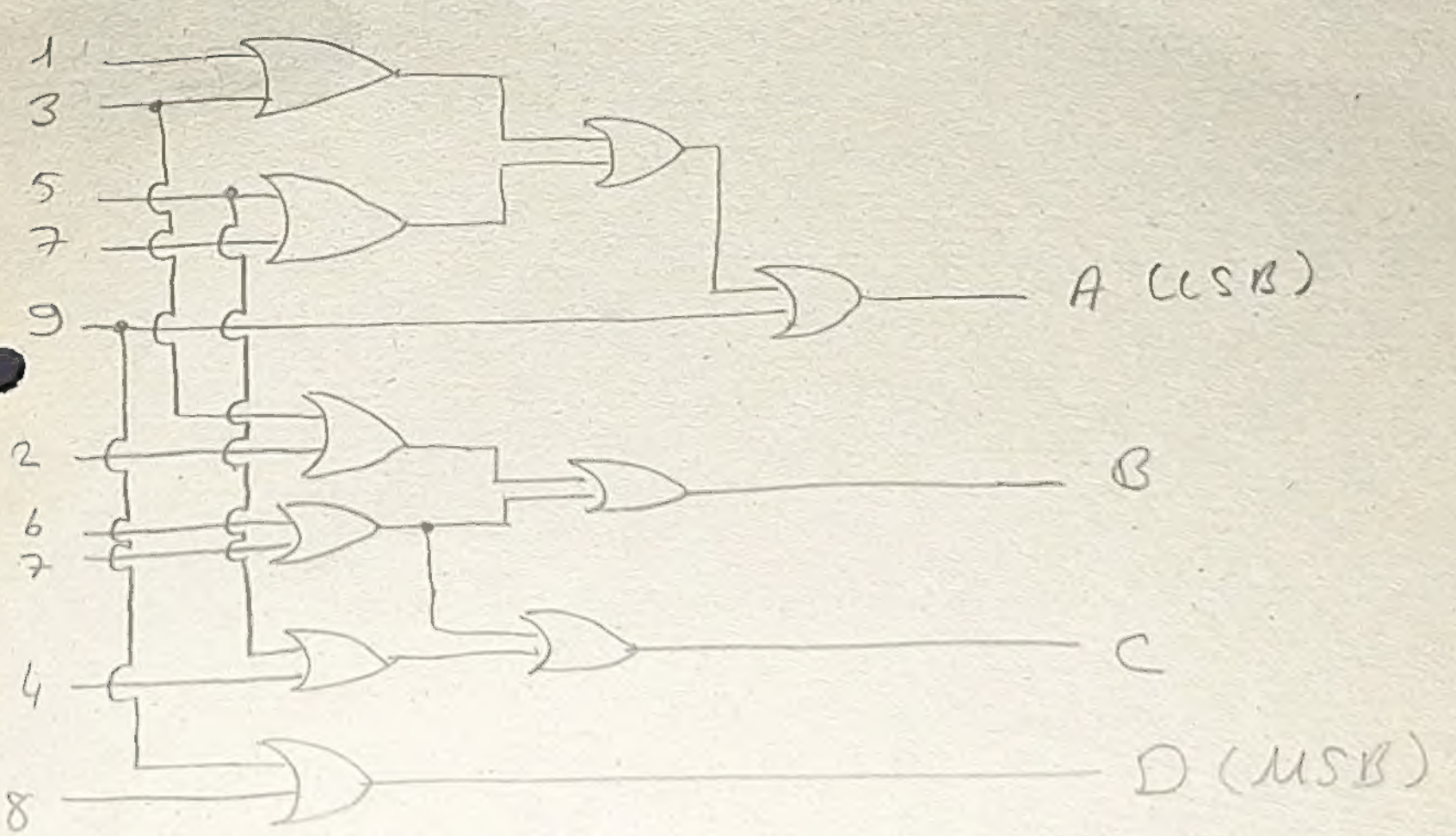
Girişler	Çıkışlar D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

b) $A = 1+3+5+7+9 = (1+3)+(5+7)+9$

$B = 2+3+6+7 = (2+3)+(6+7)$

$C = 4+5+6+7 = (4+5)+(6+7)$

$D = 8+9$

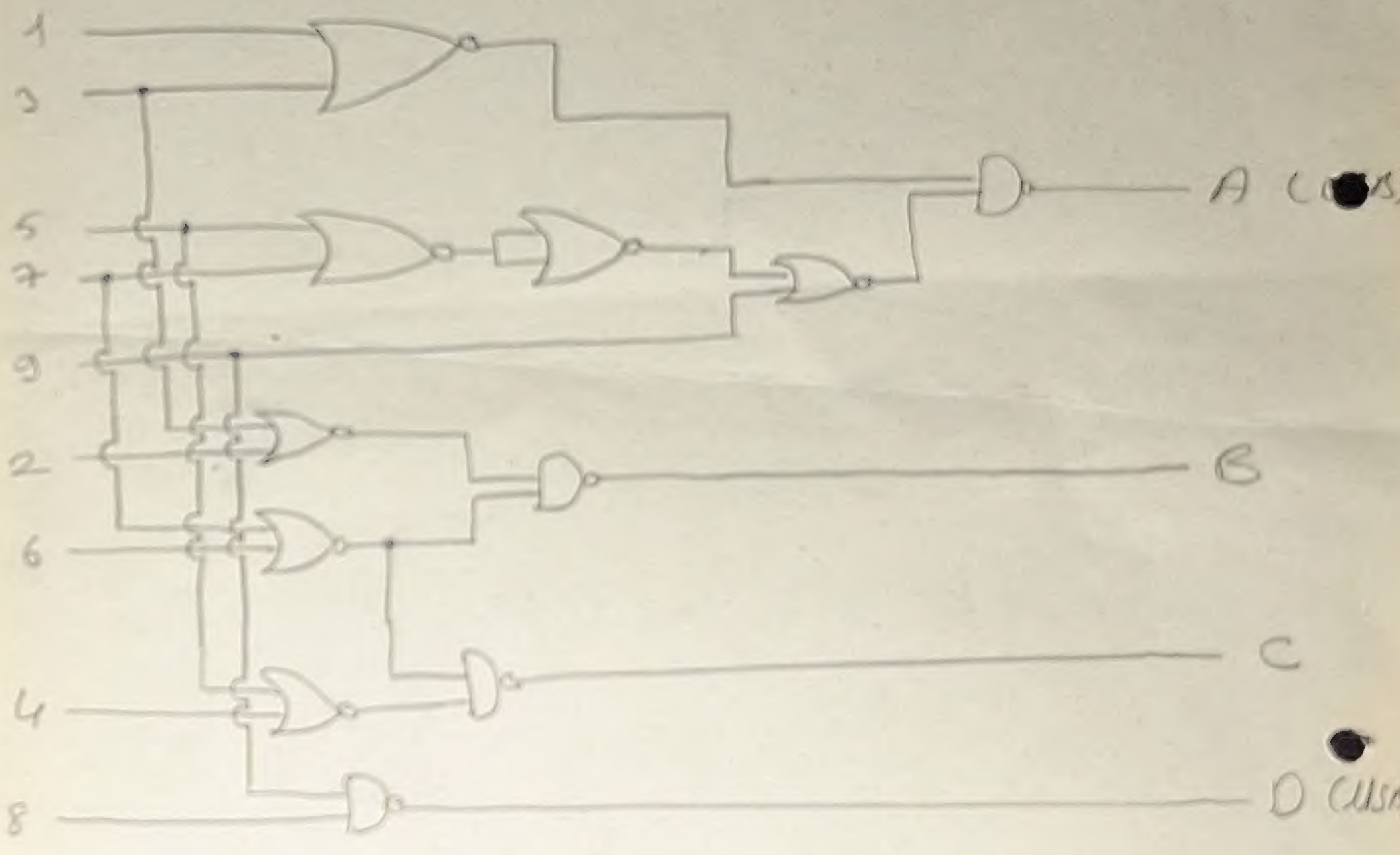


$$A = \frac{(1+3)+(5+7)+9}{\overline{(1+3)}\cdot\overline{((5+7)+9)}} = \overline{\overline{(1+3)}\cdot\overline{((5+7)+9)}} = \overline{(1+3)}\cdot\overline{(\overline{(5+7)}+9)}$$

$$B = (2+3)+(6+7) = \overline{\overline{(2+3)}\cdot\overline{(6+7)}}$$

$$C = (4+5)+(6+7) = \overline{\overline{(4+5)}\cdot\overline{(6+7)}}$$

$$D = 8+9 = \overline{8\cdot 9}$$



DORU

$$A = \overline{\overline{(1+3)}\cdot\overline{(5+7)}+9}$$

$$B = \overline{\overline{(2+3)}\cdot\overline{(6+7)}}$$

$$C = \overline{\overline{(4+5)}\cdot\overline{(6+7)}}$$

$$D = 8+9$$

Hacettepe Üniversitesi
Müh.Fak. Fizik Müh.Böl.
FİZ 471 ELEKTRONİK LAB.III

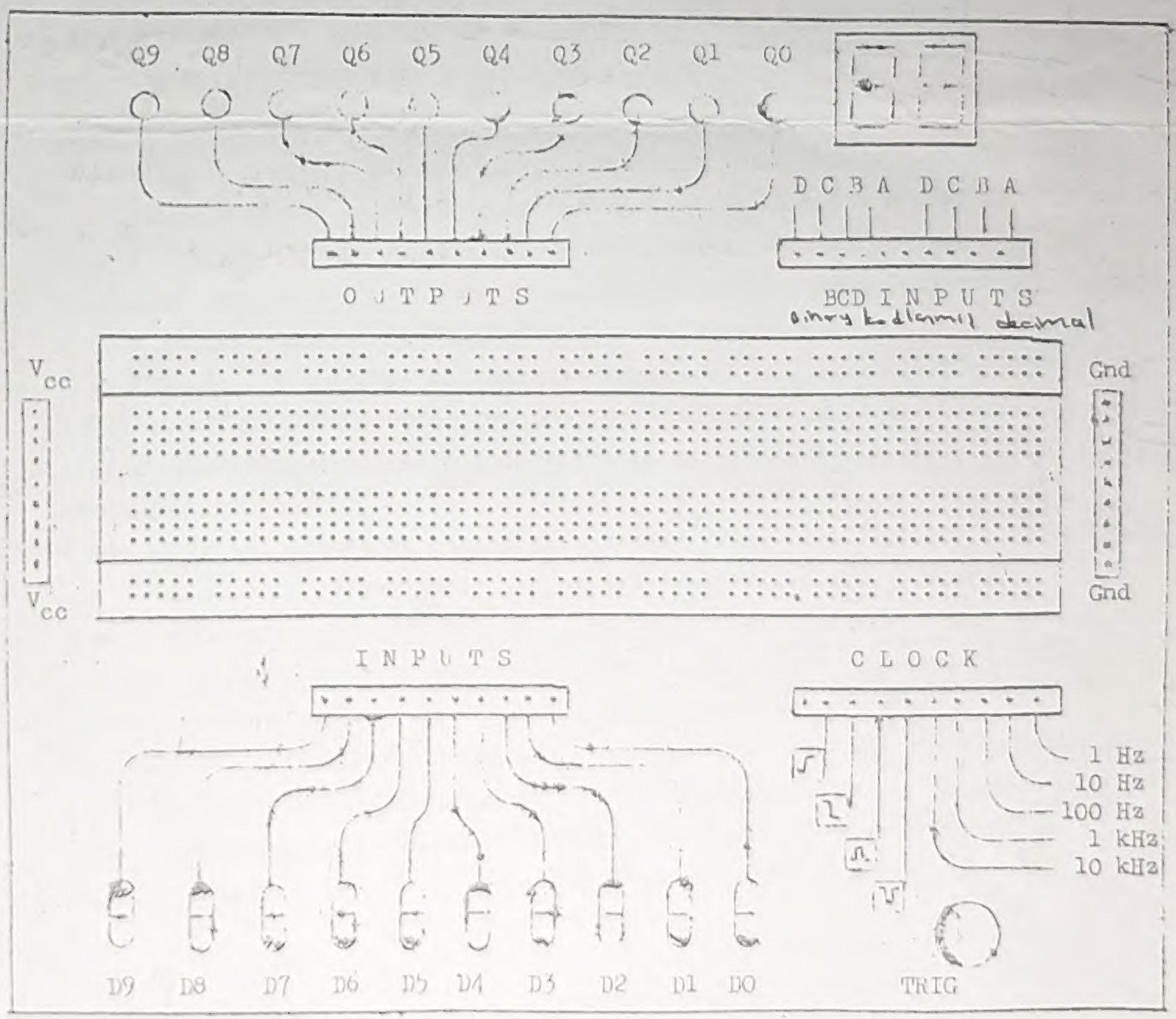
Deney 1 : SAYISAL ELEKTRONIK LAB. DENEY SETİ

1- AMAÇ : Sayısal elektronik laboratuvarında kullanılacak deney setini tanımak.

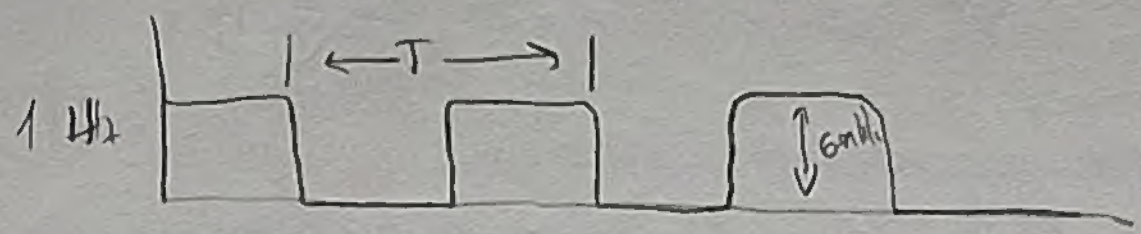
2- GENEL BİLGİ : Mantık devrelerindeki sinyallerin iki ana durumu vardır;"mantık 0" ve "mantık 1".Pozitif mantık kullanan sistemlerde en yüksek gerilim değeri(ve civarı) "1", en düşük gerilim değeri (ve civarı) "0" mantık değeri olarak tanımlanır. Bilgi giriş,kontrol ve bilgi çıkış sinyalleri bu "1" ve "0" ların zaman içinde ve belirli bir düzende sıralanmaları ile oluşurlar.

İlerdeki deneylerde kullanacağımız giriş ve kontrol sinyallerinin en uygun şekillerini set üzerindeki sinyal üreteçlerinden sağlamamız mümkün olacaktır. Çıkış sinyallerini gözlemek için,osiloskop yanında,yine set üzerindeki ışıklı göstergelerden faydalanmamız gerekecektir.

3- DENEY SETİ : Tüm deneylerde kullanacağımız set aşağıda gösterilmiştir.



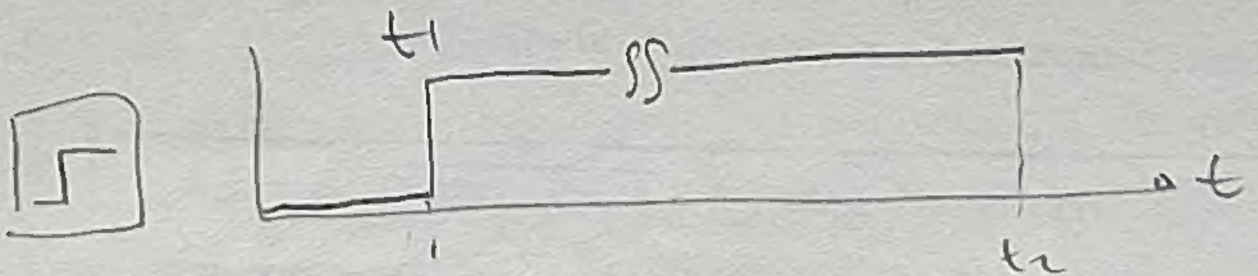
4.4) Clock dalga şekillerinden 1 Hz yakın kısmı en basit seviyede ölç.



$f = \frac{1}{T}$

Düşük frekanslarda periyod ölçmek çok zor. En az 10 tok[...] gösterip zaman tutup bulacağız.

Dalga şekli sıfır gibi gözükse de tam sıfır değil. Bu DC offsetin değeri istiyor.

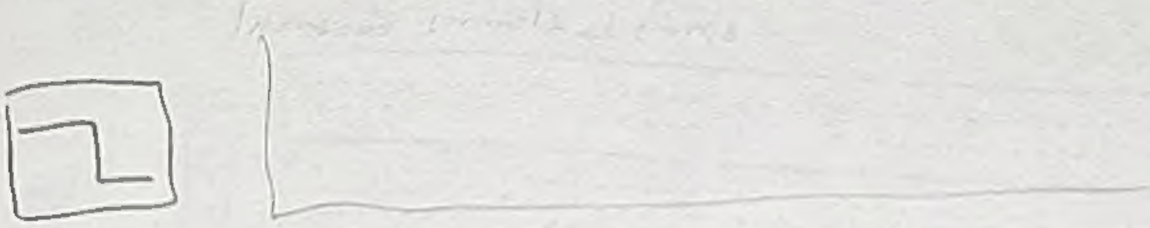


offset ölç.

Bir an için değişmeye başla.

t1 bir an gelecek

t2 değişmeyi kaldırma anı.



alt alta.

9.8 0.98 ms

9,8 x 0.1 ms =

0.9

3.9 0.6 3.1

3.8 V. off: 0.11 V.

2.2 x 10

90 ms. 45 ms

2.65 V 108 mV.

5.4 20 mV. offset

108

1.05 mV genlik

2.8,5

Şekilde gösterilen deney seti sağladığı fonksiyonlara göre altı ana kısımdan oluşmuştur.

3-1. Deney tablası : Üzerinde devrelerin kurulacağı delikli montaj tablasıdır(Breadboard).

3-2. Bilgi giriş anahtarları : İki durumlu D0,D1,..,D9 anahtarlarından oluşan bu blok devrelere uygulanacak giriş bilgileri için "0" ve "1" mantık değerlerini üretir. Anahtarlar ileri durumda iken "matık 1",geri durumda iken "mantık 0" a karşı gelen gerilimler "INPUTS" soketi üzerinden,ve her anahtara ait belli noktalardan alınabilir.

3-3. Çıkış durum göstergeleri : Devre içi kritik noktaların ve devre çıkışlarının mantık durumlarını gözlemek için kullanılan Q0,Q1,..,Q9 ışıklı diyotlar (LED),"OUTPUTS" soketi üzerindeki girişlerine uygulanan mantık değerlerine göre yanar veya söner.

3-4. Yedi parçalı göstergeler : İki grup "ikili kodlanmış ondalık"(BCD) sayı bilgileri "BCD INPUTS" soketi üzerindeki girişlere verilerek,birbirinden bağımsız çalışan iki adet yedi parçalı göstergeye aktarılabilir.

3-5. Saat sinyalleri : Birbirleri ile eşzamanlı(senkron) olarak sürekli çalışan beş adet ve farklı frekanslardaki karedalga osilatör çıkışı ile,TRIG butonuna basıldığı anda aktiflenen "tek puls"kaynakları (,) ve pozitif ve negatif "kenar tetikleme" sinyalleri (,) "CLOCK" soketi üzerindeki ilgili noktalardan alınabilir.

3-6. Güç kaynağı : Deneylerde kullanılacak TTL (Transistor Transistor Logic) tümleşik devreleri beslemek için gerekli voltaj kaynağıdır.Pozitif gerilim "V_{cc}" soketinden referans gerilimi ise "Gnd" soketinden alınabilir.

4- DENEY :

4-1. Deney seti üzerindeki güç kaynağının gerilimini osiloskop yardımıyla ölçünüz.

4-2. D0,D1,....,D9 bilgi anahtarlarının çıkışlarını osiloskopta gözleyiniz."0" ve "1" mantık düzeylerinin dc gerilim değerlerini hassas olarak ölçünüz.

4-3. Seçtiğiniz bir bilgi anahtarını Q0,Q1,...,Q9 çıkışlarına bağlıyarak LED'lerin hangi mantık düzeylerinde yanıp söndüklerini belirleyiniz.

4-4. Saat (Clock) çıkış dalga şekillerini osiloskopta inceleyiniz.Gözlediğiniz sinyallerin dc offset seviyelerini,genliklerini,frekanslarını ve puls sürelerini dikkate alarak uygun ölçeklerle kareli defterinize çiziniz.(Y ekseninde 1 kare = 1 Volt alınız)

4-5. 1 kHz ve 10 kHz karedalga çıkışlarını birbirlerine göre osiloskopta inceliyerek alt alta,bir zaman diyagramında,en az iki tam periyot için çiziniz.
ÖNEMLİ NOT: Bu işlemi yaparken,osiloskopun her iki kanalını da kullanınız ve osiloskopun tetiklemesini,frekansı daha düşük olan kanala göre ayarlayınız.
Çizim sırasında t ekseninde 1 kare ≅ 50 µs alınız.

4-6. D3,D2,D1,D0 anahtarlarını,7 parçalı göstergelerden birinin girişlerine(sırası ile D,C,B,A) bağlayınız.Dört giriş anahtarının alabileceği bütün durumlar için göstergede beliren şekilleri ,hazırlayacağınız bir çizelgede gösteriniz.

4-7. Hazırladığınız bu çizelgenin ne anlam ifade ettiğini tartışınız.

Shift + Alt + F4 same.

w setup.exe. ↓

Hacettepe Üniversitesi
Müh.Fak.Fizik Müh.Böl.
FİZ 471 ELEKTRONİK LAB.III

Deney 2 : MANTIK GEÇİTLERİ

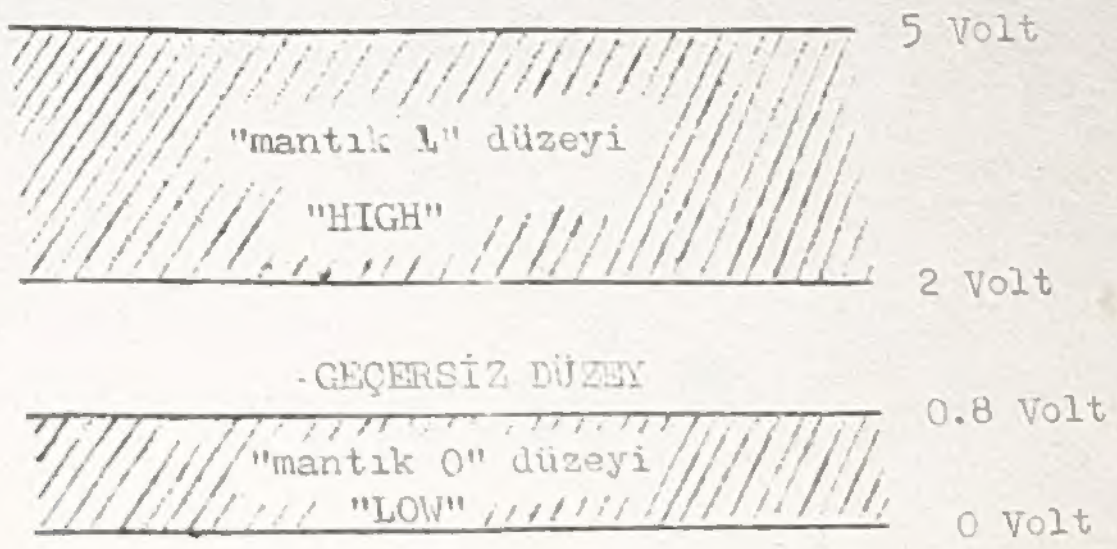
1- AMAÇ :

Sayısal elektronik devrelerin temel yapıtaşlarını oluşturan mantık geçitlerinin işleyişlerini incelemek.

2- GENEL BİLGİ :

En basit mantık devresinden,en gelişmiş sayısal bilgisayarlara kadar,sayısal elektroniğe dayalı bütün sistemler,temelde son derece basit birkaç tip mantık geçitinden oluşmaktadır.Devre ne kadar karmaşık ise kullanılacak geçit sayısı o kadar fazladır. Önceleri diyot,direnç ve transistörlerle gerçekleştirilen bu kullanılan bu geçit devreleri,sayıları arttıkça geniş hacimler ve büyük güçler gerektirmekteydiler.Bu tip devrelere her tasarımda sıklıkla rastlanıldığından, giderek artan talepler karşısında,bazı firmalar günün teknolojisinin elverdiği oranlarda bu devreleri küçülterek "tümleşik devreler" haline getirmişlerdir.

2-1. "74 Serisi" TÜMLEŞİK DEVRELER: 74XX Serisi TTL mantık devreleri;geçitler,toplayıcılar,karşılaştırıcılar,kodlayıcılar,kod çözücüler,Flip-Flop'lar,sayaçlar v.b gibi çok kullanılan 100 den fazla mantık fonksiyonunu içeren tümleşik devreler serisidir. XX sayısı tümleşik devrenin fonksiyonunu tanımlamak için kullanılan bir sayıdır. Bütün tümleşik devreler,ancak güç beslemesi yapıldıktan sonra fonksiyonel kullanıma hazırdırlar. Bu serinin ilk tümleşik devrelerinde,birbirinden bağımsız olarak çalışan 4'er adet mantık geçiti aynı"kırmık"(chip) üzerinde imal edilmiş ve "DIL"(Dual In Line) paketlenmiştir.Bölüm 2-2. geçitlerin tümleşik devre içinde sembolik yerleşimlerini göstermekte ve fonksiyonlarını özetlemektedir. "74"Serisi tümleşik devreler "pozitif mantık"la çalışırlar.Bu serinin mantık düzeyleri diyagramı,üretici firmaların,geçitlerin beklenen şekilde çalışmalarını sağlamak amacıyla uygulanması gereken "1" ve "0" mantık değerlerinin;girişler için kabul edilebilir,çıkışlar için ise garanti edilen gerilimlerin sınır değerlerini göstermektedir.Bu değerler aşağıdaki şekilde belirtildiği gibi standartlaştırılmıştır.



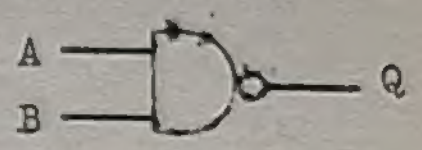
Şekil 2-1 : TTL Mantık düzeyleri diyagramı.

2-2.4. VEDEĞİL Geçiti :

VEDEĞİL geçiti,çıkışı terslenmiş VE geçitidir.

Bir VEDEĞİL geçitinin çıkışının "0" olabilmesi için,bütün girişlerinin "1" olması gerekir.

VEDEĞİL Geçiti Doğruluk Çizelgesi	
GİRİŞLER	ÇIKIŞ
B A	Q
0 0	1
0 1	1
1 0	1
1 1	0



$Q = \overline{A \cdot B}$

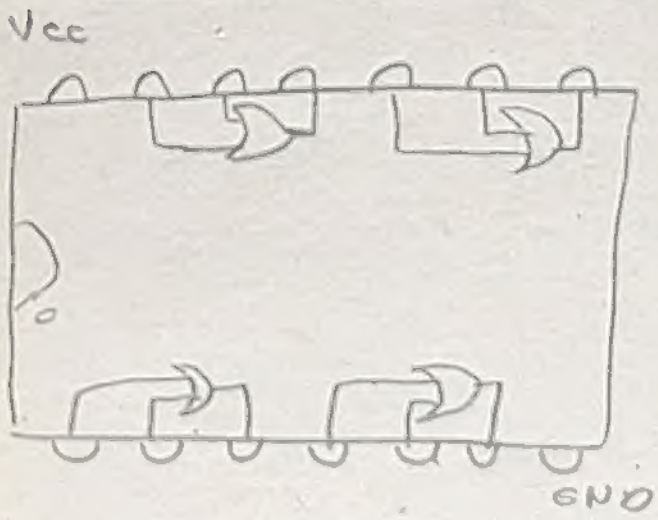
VEDEĞİL Geçiti
Boole ifadesi

2-2.5. VEYADEĞİL Geçiti :

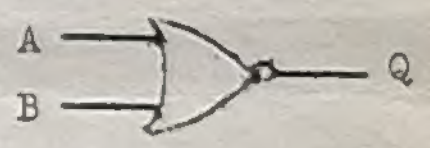
VEYADEĞİL geçiti,çıkışı terslenmiş VEYA geçitidir.

Bir VEYADEĞİL geçitinin çıkışının "1" olabilmesi için,bütün girişlerinin "0" olmasi gerekir.

quad 2 input OR
(4 lü 2 girişli veya)



VEYADEĞİL Geçiti Doğruluk Çizelgesi	
GİRİŞLER	ÇIKIŞ
B A	Q
0 0	1
0 1	0
1 0	0
1 1	0



$Q = \overline{A + B}$

VEYADEĞİL geçiti
Boole ifadesi

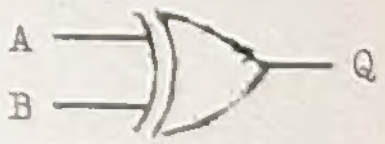
2-2.6. DIŞLAYAN VEYA Geçiti (EXCLUSIVE-OR = EX-OR) :

Bir EX-OR geçitinin çıkışının "1" olabilmesi için,girişlerinden yalnız ve yalnızca bir tanesinin "1" olması gerekir.Diğer bir değişle;

Her iki giriş aynı mantık seviyesinde ise,EX-OR çıkışı "0" dır.

Her iki giriş farklı mantık seviyelerinde ise,EX-OR çıkışı "1" dir.

EX-OR Geçiti Doğruluk Çizelgesi	
GİRİŞLER	ÇIKIŞ
0 0	0
0 1	1
1 0	1
1 1	0

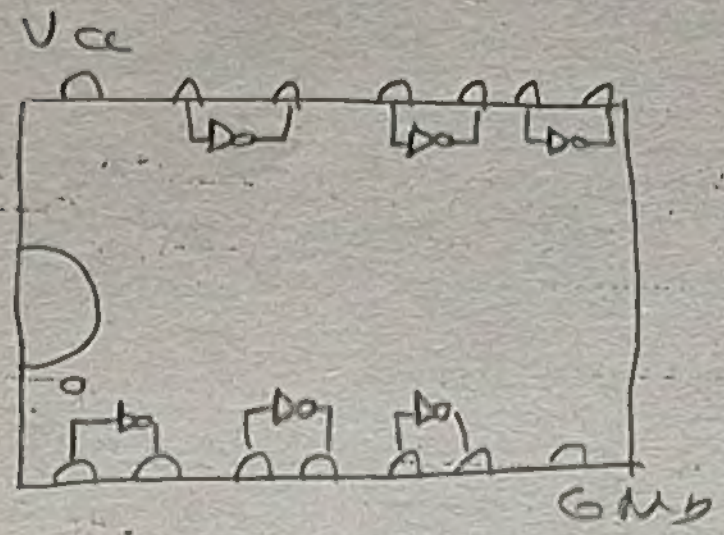


$Q = A \oplus B$

$Q = \overline{A}B + A\overline{B}$

2.2-3) HEX INVERTER (6 NOT logici)

7404



5- ÖN ÇALIŞMA : Laboratuvara gelmeden önce deneyin 6-1.a,b,c kesimlerinde istenen tasarımları yapınız ve ayrıntılı devre şemalarını bir dosya kâğıdına çiziniz .

6-DENEY :

6-1. Bu bölümde bir hanelik "onlu" sayıyı BCD koduna çeviren kod ayıcının tasarımı yapılacaktır. (Decimal to BCD encoder)

a) 0,1,2,3,..,9 girişler ve D-C-B-A(LSB) çıkışlar olacak şekilde,kodlayıcı için bir doğruluk çizelgesi hazırlayınız.

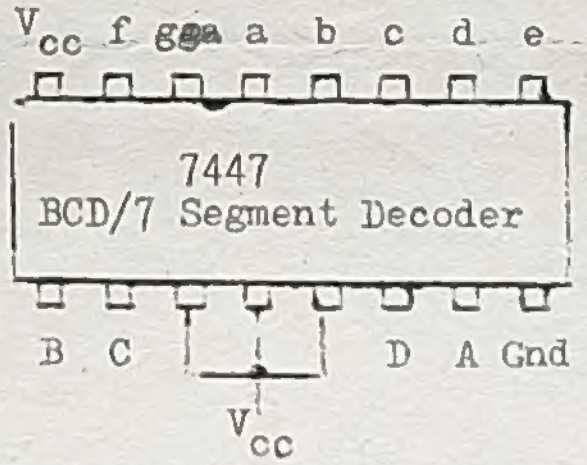
b) Bu doğruluk çizelgesini gerçekleştirecek devreyi,sadece,2 girişli VEYA geçitlerini kullanacak şekilde tasarımlayınız.

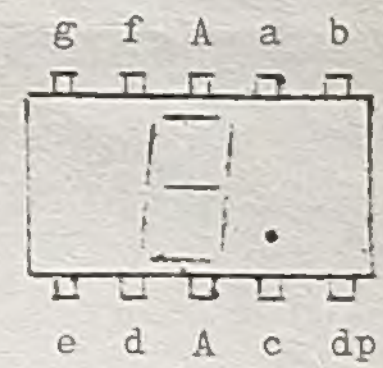
c) Başta De Morgan olmak üzere,ilgili Boole cebiri teoremlerini uygun şekilde kullanarak, yukarıdaki tasarımı sadece: 4 adet iki girişli VEDEĞİL ve 8 adet iki girişli VEYADEĞİL geçiti kullanacak şekilde yeniden düzenleyiniz.

d) Kodlayıcı devreyi,son düzenlediğiniz şekili ile, 1 adet 7400 ve 2 adet 7402 kullanarak kurunuz. Giriş bilgilerini D0,D1,D2,....,D9 anahtarlarından alınız. Çıkış bilgilerini gözlemek için Q3,Q2,Q1 ve Q0(LSB) Led'lerini kullanınız.Deneysel sonucu bir doğruluk çizelgesi şeklinde gösteriniz.

Not:Çalışmanız bittiği zaman,bu devreyi sökmeyiniz.

6-2. Bu bölümde,BCD kodundaki bir sayıyı,7 parçalı göstergeye aktarıcak olan "kod çözücü" tümleşik devresi (7447) incelenecektir. Gerekli bilgiler aşağıda verilmiştir.





Ortak ANOD

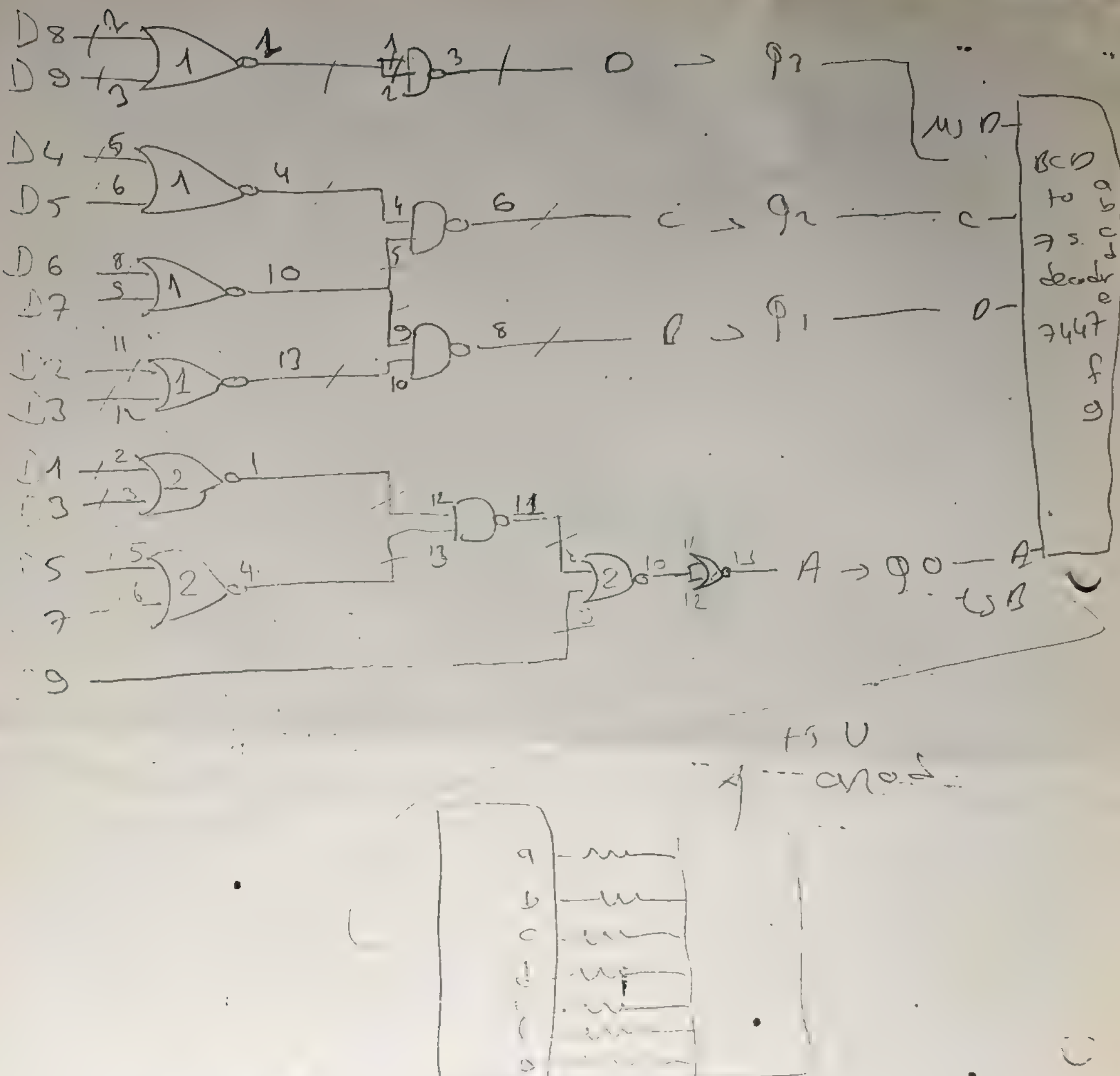
LED gösterge

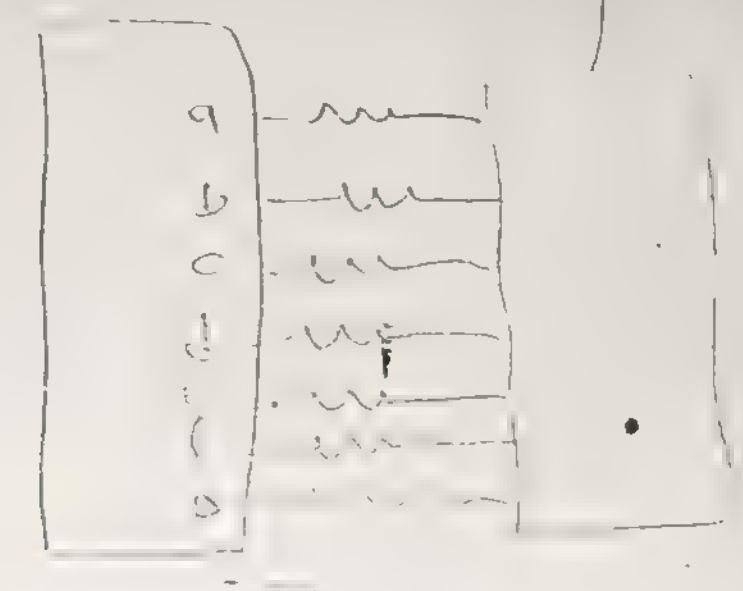
a) Göstergenin herbir segmenti için,akımı ≃ 10 mA de sınırlayacak şekilde dirençler bağlayarak,bölüm 6-1.d) de çalıştırdığınız devre yardımıyla,anahtarlardan girdiğiniz bilgiyi göstergede izleyebilmek için gerekli bağlantıları yapınız ve devreyi çalıştırınız.

b) Bilgi girişleri (anahtar numaraları),7447 tümleşik devresinin BCD girişleri ve segment çıkışları ile,göstergenin yanan segmentleri için aşağıdaki doğruluk çizelgesini tamamlayınız.

Bilgi girişleri (anahtar no)	BCD bilgi D C B A	7447 çıkışları a b c d e f g	Gösterge segmentleri a b c d e f g
0	0 0 0 0		
1			
2			
:			
9			

c) Doğruluk çizelgesini ve bu deneyin 2-3 kesiminde verilen bilgileri karşılaştırarak, Ortak Anod ve Ortak Katod LED göstergeler için kullanılan decoderlerin farklarını açıklayınız.


D8
D9
D4
D5
D6
D7
D2
D3
1
2
3
4
5
6
7
9
0 → q3
c → q2
b → q1
A → q0
MSB
BCD to 7 seg decoder
7447
a
b
c
d
e
f
g


a
b
c
d
e
f
g

Hacettepe Üniversitesi
Müh.Fak.Fizik Müh.Böl.
FİZ 471 ELEKTRONİK LAB.III

Deney 2 : MANTIK GEÇİTLERİ

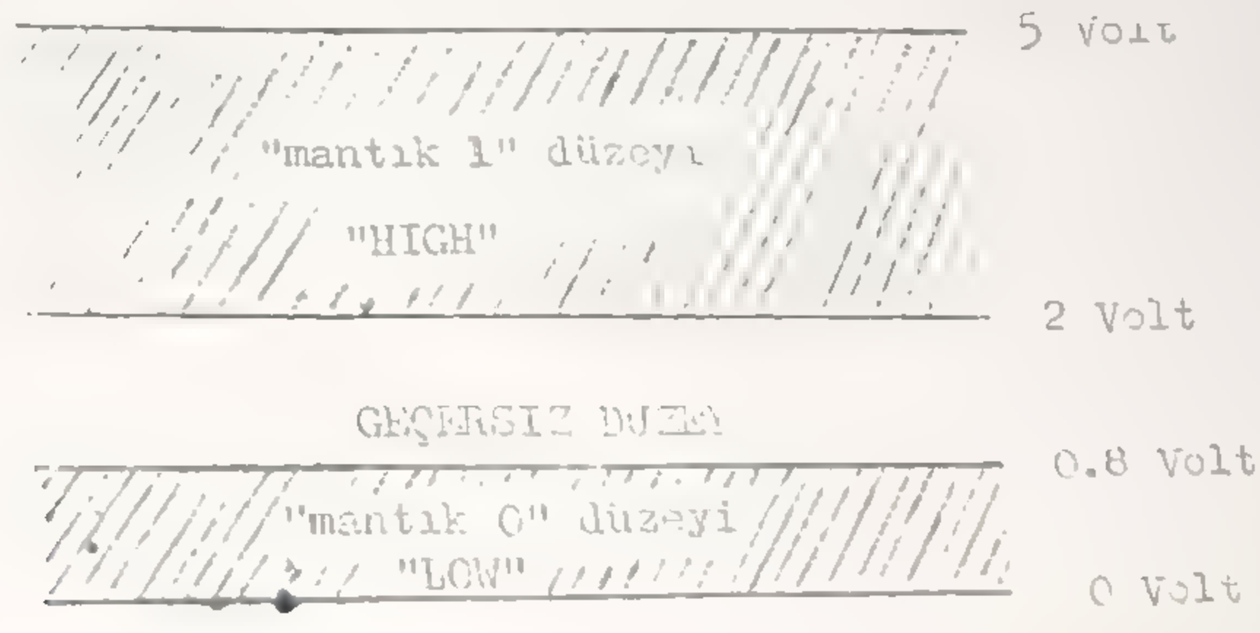
1- AMAÇ :

Sayısal elektronik devrelerin temel yapıtaşlarını oluşturan mantık geçitlerinin işleyişlerini incelemek.

2- GENEL BİLGİ :

Bu basit mantık devresinden,en gelişmiş sayısal bilgisayarlara kadar sayısal elektroniğe dayalı bütün sistemler,temelde son derece basit birkaç tip mantık geçitinden oluşmaktadır.Devre ne kadar karmaşık ise kullanılacak geçit sayısı o kadar fazladır. Önceleri diyot,direnç ve transistörlerle gerçekleştirilerek kullanılan bu geçit devreleri,sayıları arttıkça geniş hacimler ve güç gerektirmekteydiler.Bu tip devrelere her talebin artışıyla sıklıkla rastlanıldığından giderek artan talepler karşısında,bazı firmalar bu devreleri küçülterek oranlarda "tümleşik devreler" haline getirmişlerdir.

2-1. "74 Serisi" TÜMLEŞİK DEVRELER: 74XX Serisi TTL mantık devreleri;geçitler,toplayıcılar,karşılaştırıcılar,kodlayıcılar,kod çözücüler,flip-flop'lar,osilatörler vb. gibi çok kullanılan 100 den fazla mantık fonksiyonuna ilişkin tümleşik devrelerden serisidir. XX sayısı tümleşik devrenin fonksiyonunu tanımlamak için kullanılan bir sayıdır. Bütün tümleşik devreler,ancak güç beslemesi yapıldıktan sonra fonksiyonel kullanıma hazırdırlar. Bu serinin ilk tümleşik devrelerinde,birbirinden bağımsız olarak çalışan 4 er adet mantık devresi aynı"kırmık"(chip) üzerinde imal edilmiş ve "DIL"(Dual In Line) paketlenmiştir.Şekil 2-2. geçitlerin tümleşik devre içindeki sembolik yerleşimlerini göstermekte ve fonksiyonlarını özetlemektedir.
"74"Serisi tümleşik devreler "pozitif mantık"la çalışırlar.Bu serinin mantık düzeyleri diyagramı,üretici firmaların,geçitlerin beklenen şekilde çalışmalarını sağlamak amacıyla uygulanması gereken "1" ve "0" mantık değerlerinin,girişler için kabul edilebilir,çıkışlar için ise garanti edilen gerilimlerin sınır değerlerini göstermektedir. Bu değerler aşağıdaki şekilde belirtildiği gibi mV cinsinden tanımlanmıştır.

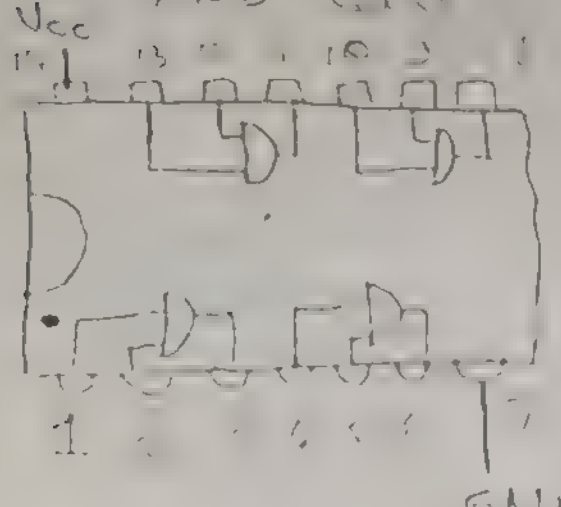


Şekil 2-1 : TTL Mantık düzeyleri diyagramı.

2-2. MANTIK GEÇİTLERİ

2-2.1. VE Geçiti :

Bir VE geçitinin çıkışının "1" olabilmesi için, bütün girişlerinin "1" olması gerekir.



VE geçiti Doğruluk Çizelgesi	
GİRİŞLER	ÇIKIŞ
B A	Q
0 0	0
0 1	0
1 0	0
1 1	1

VE işlemi

A.B = Q

A B = Q

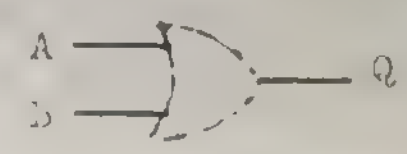
VE geçiti

Boole ifadesi

2-2.2. VEYA Geçiti :

Bir VEYA geçitinin çıkışının "0" olabilmesi için, bütün girişlerinin "0" olması gerekir.

VEYA geçiti Doğruluk Çizelgesi	
GİRİŞLER	ÇIKIŞ
B A	Q
0 0	0
0 1	1
1 0	1
1 1	1



VEYA işlemi

A + B = Q

VEYA geçiti

Boole ifadesi

2-2.3. DEĞİL Geçiti (TERSLEYİCİ) :

Bir DEĞİL geçitinin çıkış mantık seviyesi her zaman, giriş mantık seviyesinin tersine eşittir.

TERSLEYİCİ Doğruluk Çizelgesi	
GİRİŞ	ÇIKIŞ
A	Q
0	1
1	0

TERSLEME işlemi

$Q = \overline{A}$

TERSLEYİCİ

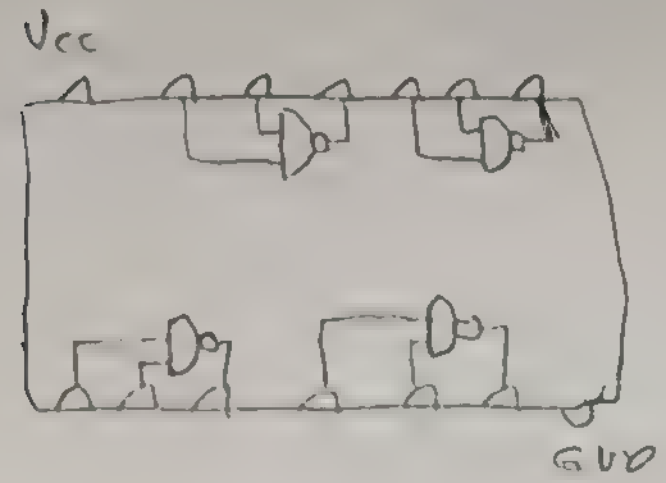
Boole ifadesi

2-2.4. VEDEĞİL Geçiti :

VEDEĞİL geçiti,çıkışı terslenmiş VE geçitidir.

Bir VEDEĞİL geçitinin çıkışının "0" olabilmesi için,bütün girişlerinin "1" olması gerekir.

quad 2 input NAND



VEDEĞİL Geçiti Doğruluk Çizelgesi		
GİRİŞLER		ÇIKIŞ
B	A	Q
0	0	1
0	1	1
1	0	1
1	1	0

$Q = \overline{A \cdot B}$

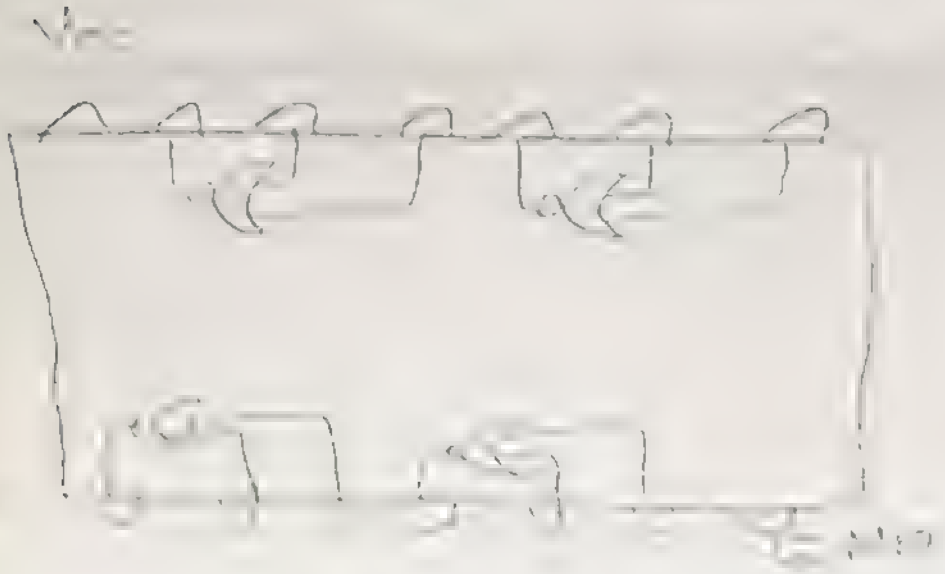
VEDEĞİL Geçiti
Boole ifadesi

2-2.5. VEYADEĞİL Geçiti :

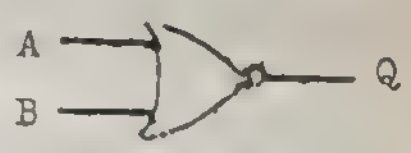
VEYADEĞİL geçiti,çıkışı terslenmiş VEYA geçitidir.

Bir VEYADEĞİL geçitinin çıkışının "1" olabilmesi için,bütün girişlerinin "0" olması gerekir.

quad 2 input NOR gate



VEYADEĞİL Geçiti Doğruluk Çizelgesi		
GİRİŞLER		ÇIKIŞ
B	A	Q
0	0	1
0	1	0
1	0	0
1	1	0



$Q = \overline{A + B}$

VEYADEĞİL geçiti
Boole ifadesi

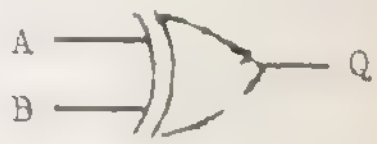
2-2.6. DIŞLAYAN VEYA Geçiti (EXCLUSIVE-OR = EX-OR) :

Bir EX-OR geçitinin çıkışının "1" olabilmesi için,girişlerinden yalnız ve yalnızca bir tanesinin "1" olması gerekir.Diğer bir değişle;

Her iki giriş aynı mantık seviyesinde ise,EX-OR çıkışı "0" dır.

Her iki giriş farklı mantık seviyelerinde ise,EX-OR çıkışı "1" dir.

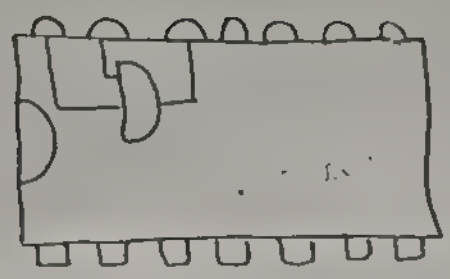
EX-OR Geçiti Doğruluk Çizelgesi		
GİRİŞLER		ÇIKIŞ
0	0	0
0	1	1
1	0	1
1	1	0



$Q = A \oplus B$

$Q = \overline{A}B + A\overline{B}$

2_2.1



2-3. YAYILMA GECİKMESİ :(Propagation Delay) Bir geçitin girişlerindeki bilgi değişimi ile çıkışındaki bilgi değişimi arasında geçen zamana "yayılma gecikmesi" adı verilir. "74"serisi içinde bir mantık geçiti için yayılma gecikmesi 10 ns kadardır. Bir devrede ardarda bağlanan geçitlerin sayısı arttığında bu gecikme giderek büyük zamanlara ulaşır. Bu durumun,devrelerin çalışma hızını sınırlandırdığı unutulmamalıdır.

3- ÖN ÇALIŞMA : Laboratuvara gelmeden önce Bölüm 4-3,4-8,ve 4-16 daki tasarımları yapınız ve deneye gelirken yanınızda getiriniz.

4- DENEY :

4-1. Montaj tablasına bir adet 7408 takınız.Bölüm 2-2.1 deki şekili dikkate alarak besleme gerilimi bağlantılarını yapınız.Seçeceğiniz bir VE geçitinin girişlerini DO ve Dl anahtarlarına bağlayınız. Her iki anahtarın bütün olasılıkları için, girişlerin ve çıkışın gerilimlerini osiloskop yardımıyla hassas olarak ölçünüz. Aldığınız ölçüleri bir çizelgede gösteriniz.Şekil 2-1'in ışığı altında,hazırladığınız çizelgeyi VE GEÇİTİ DOĞRULUK ÇİZELGESİ ile özdeşleştiriniz.

4-2. Bir VE geçitinin girişlerinden birine 10 kHz,diğerine 1 kHz frekansındaki karedalgaları uygulayınız. Girişleri ve çıkışı osiloskopta aynı anda(ikişer ikişer) gözleyerek,bir zaman diyagramında ,alt alta,gösteriniz.(Zaman ekseninde 1 kare= 50 µs alarak en az iki periyot için dalgaşekillerini çiziniz.)
Dalgaşekillerini inceleyerek VE geçiti doğruluk çizelgesini irdeleyiniz.

4-3. İki girişli VE geçitlerini kullanarak 4 girişli bir VE geçitini iki ayrı şekilde tasarımlayınız. Her iki tasarım için geçit girişlerini DO,Dl,D2 ve D3 anahtarlarına,geçit çıkışını ise QO Led'ine bağlayarak,dört anahtarın bütün olasılıkları için doğruluk çizelgesini deneysel olarak elde ediniz. Bulduğunuz iki sonuç arasında fark varsa açıklayınız.

4-4. Bölüm 4-3.de tasarımını yaptığınız ve incelediğiniz devrelerden hangisinin daha hızlı çalıştığını,yayılma gecikmesi tarifini hatırlayarak,tartışınız.Her iki devrenin yayılma gecikmesi için hesapladığınız sayısal değerleri belirtiniz. Bu gecikmeleri kullandığınız osiloskopta görmek mümkün müdür?Açıklayınız.

4-5. Bölüm 4-3.de gerçekleştirdiğiniz son tasarımda,giriş uçlarından birini anahtardan ayırarak,açıkta bırakınız. Diğer üç anahtarın bütün olasılıkları için çıkışı gözleyerek yeni bir doğruluk çizelgesi hazırlayınız.Bu çizelgeyi,bölüm 4-3.deki çizelgelerle karşılaştırarak,bir VE geçiti için " açıkta bırakılan giriş ucu"nun mantık düzeyini tartışınız.

Montaj tablasına bir adet 7432 takınız.Bölüm 2-2.2. deki şekili dikkate alarak tümleşik devrenin besleme gerelimi bağlantılarını yapınız.
Seçeceğiniz bir VEYA geçitinin girişlerini D0 ve D1 anahtarlarına bağlayınız. Q2 ve Q1 Led'lerinden geçitin girişlerini, Q0 Led'inden geçitin çıkışını gözleyerek,VEYA geçiti doğruluk çizelgesini,al'dığınız sonuçlarla karşılaştırınız.

4-7. Bir VEYA geçitinin girişlerinden birine 10 kHz,diğerine 1 kHz frekansındaki karedalgaları uygulayınız.Osiloskop yardımıyla girişleri ve çıkışı alt alta, bir zaman diyagramında gösteriniz. Bu diyagramdaki dalgşekillerini inceleyerek VEYA geçiti doğruluk çizelgesini irdeleyiniz.

4-8. Bir adet 7432 kullanarak 4 girişli bir VEYA geçitini,iki ayrı şekilde tasarımlayınız. Heriki tasarım için,D0,D1,D2 veD3 anahtarlarını giriş, Q0 Led'ini çıkış olarak kullanmak üzere devreleri teker teker kurunuz ve doğruluk çizelgelerini çiziniz. Elde ettiğiniz doğruluk çizelgeleri arasında fark varsa açıklayınız.
İki tasarım arasındaki fark nedir? Fiyasal değerler vererek tartışınız.

4-9. Çalıştırdığınız son devrede, dördüncü girişi (D3) anahtardan ayırarak açıkta bırakınız. D0,D1 ve D2 anahtarlarının alabilecekleri bütün durumlar için yeni bir doğruluk çizelgesi hazırlayınız.Bu çizelgeyi,bölüm 4-8.de elde ettiğiniz çizelge ile karşılaştırarak, bir VEYA geçiti için "açıkta bırakılan giriş ucu" nun mantık seviyesini tartışınız. Bulduğunuz sonucu,bölüm 4-5. de vardığınız sonuç ile karşılaştırınız.

4-10. Montaj tablasına bir adet 7404 takınız.Bölüm 2-2.3. deki şekili dikkate alarak tümleşik devrenin besleme gerilimi bağlantılarını yapınız. Seçeceğiniz bir TERSLEYİCİ nin girişine 1Hz frekansında karedalga uygulayınız. Girişi ve çıkışı aynı anda Q0 ve Q1 Led'lerinden gözleyerek sonucu bir doğruluk çizelgesi şeklinde gösteriniz.
Aynı işlemleri,iki tersleyiciyi peşpeşe bağlayarak tekrarlayınız.

4-11. Peşpeşe bağlanmış iki tersleyiciden,birincisinin girişine 10 kHz frekansında karedalga uygulayınız. Girişi ve çıkışları (birinci tersleyicinin çıkışı ile ikinci tersleyicinin çıkışını) osiloskop yardımıyla,alt alta bir zaman diyagramında gösteriniz.Dalaşekillerini inceleyerek,TERSLEYİCİ doğruluk çizelgesini irdeleyiniz.

4-12. Bölüm 4-11.de kurulu devrede,birinci tersleyicinin giriş ucunu"açıkta"bırakınız. Heriki çıkışı LED'lerden gözleyerek,"açıkta bırakılan" tersleyici giriş ucunun mantık seviyesini tartışınız. Sonucu,bölüm 4-5. ve 4-9.da vardığınız sonuçlar ile karşılaştırarak, TTL geçitler için genel bir özelliği,bir cümle ile ifade ediniz.

trig yaparken küçük
0 farkları yap.

Hacettepe Üniversitesi
Müh.Fak.Fizik Müh.Böl.
FİZ 471 ELEKTRONİK LAB.III

Deney 3 : " COMBINATIONAL LOGİC " Devreler

1- AMAC : Çok kullanılan MSI (Medium Scale Integration) mantık devrelerinden bazılarının tasarımları,işleyişleri ve uygulamaları hakkında bilgi edinmek.

2- GENEL BİLGİ : Şimdiye kadar laboratuvarda kullandığımız mantık geçitleri ile kurduğumuz devrelerin tümünün ortak bir özelliği vardır.Bu tip devrelerin çıkışları, o andaki giriş değişkenlerinin bir fonksiyonudur.Giriş değişkenlerinin alabilecekleri değerlerin KOMBİNASYONLARI,çıkış veya çıkışların mantık durumlarını tayin eder. Bu sebeple,bu tip devreler,COMBİNATIONAL LOGIC devreler olarak anılırlar. Kullanım alanı çok yaygın olan bazı karmaşık kombinational mantık devreleri de tümleşik devreler haline getirilmişlerdir.İçerdikleri geçit sayısına bağlı olarak bu devreler bazı kategorilere ayrılırlar. 10-12 kadar mantık geçiti içeren tümleşik devreler : SMALL SCALE INTEGRATION (SSI), 12-100 kadar geçit içerirler: MEDIUM SCALE INTEGRATION (MSI), 100 ila 1000 geçit arası LARGE SCALE INTEGRATION (LSI), 1000 ila 10000 geçitten meydana gelen tümleşik devreler ise VERY LARGE SCALE INTEGRATION LOGİC (VLSI) kategorisine girirler.

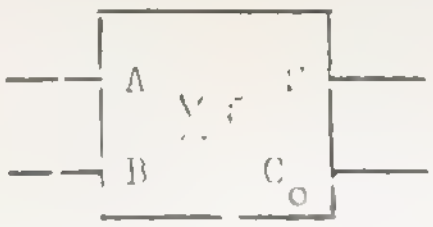
Bu deneyde incelenecek olan toplayıcılar,kodlayıcılar,kod çözücüler,multiplexer ve demultiplexer devreleri ve karşılaştırıcılar MSI tümleşik devreleridir.

2-1. İKİLİ TOPLAYICILAR (BINARY ADDERS) : İkili sayı sisteminde toplama işlemini yapan mantık devreleridir.

2-1.1. YARIM TOPLAYICI (HALF ADDER) : İkili aritmetikte toplama kurallarını hatırlayalım.

$0 + 0 = 0$
$0 + 1 = 1$
$1 + 0 = 1$
$1 + 1 = 10)_2$

A ve B,birer Bit'lik iki sayı olmak üzere, S(sum) Toplam çıkışını,C_o(Carry out) elde çıkışını gösterir.



Yarım toplayıcının
Blok diyagramı.

Yarım toplayıcının
doğruluk çizelgesi:

A	B	S	C_o
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Doğruluk çizelgesinden de kolayca görüleceği gibi; S bir EX-OR, C_o ise bir VE geçiti ile gerçekleştirilebilir.

$S = A \oplus B$
$C_o = A.B$

2-1.2. TAM TOPLAYICI (FULL ADDER)

İki veya daha fazla haneli ikili sayıların toplamları sözkonusu olduğunda, ikinci hanedeki sayılarla, bir önceki haneden gelen ELDE bit'inin de toplanması gerekir.

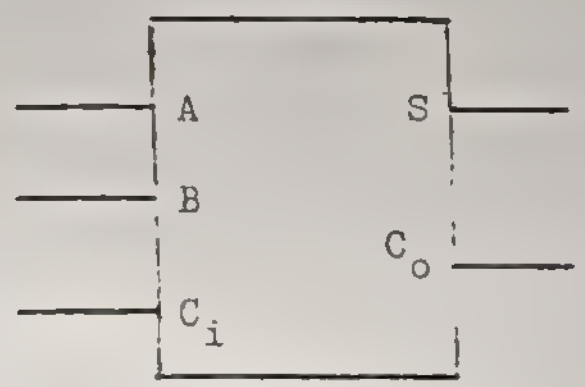
```
   elde
    1
    0   1
    1   1
  +-------
    1   0   0
elde
```

Birinci hanenin elde çıkışı: C_o (Carry out) =
=İkinci hanenin elde girişi : C_i (Carry in)

A ve B: toplanacak sayıların ikinci hane değerleri ise;
ikinci hanelerin toplamı S (Sum)
elde çıkışı C_o (carry out) olarak
gösterildiğinde, aşağıdaki doğruluk
çizelgesi elde edilir.

C_i	A	B	C_o	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Bu toplama işlemini yapan devrenin blok diyagramı aşağıdaki gibidir.



Doğruluk çizelgesine bakarak,
gerekli işlemler yapıldığında:

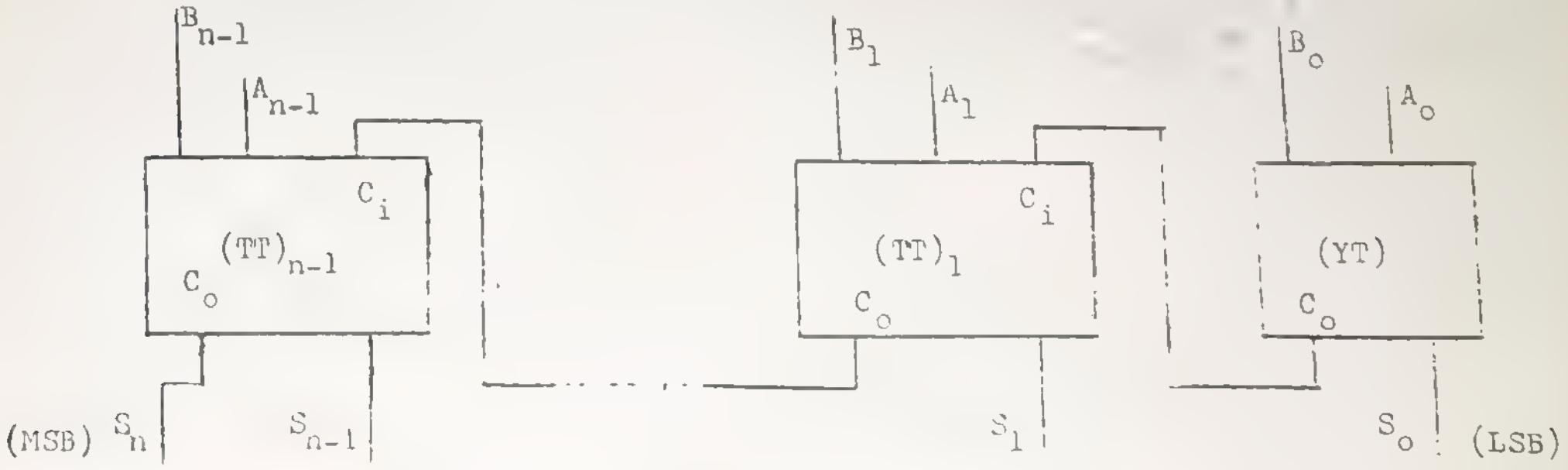
$$S = C_i \oplus (A \oplus B)$$

$$C_o = C_i (A \oplus B) + A B$$ olduğu görülecektir.

Buna göre bir tam toplayıcı, iki yarım toplayıcı ve bir VEYA geçitinden yapılabilir.

2-1.3. PARALEL İKİLİ TOPLAYICI (PARALLEL BINARY ADDER) :

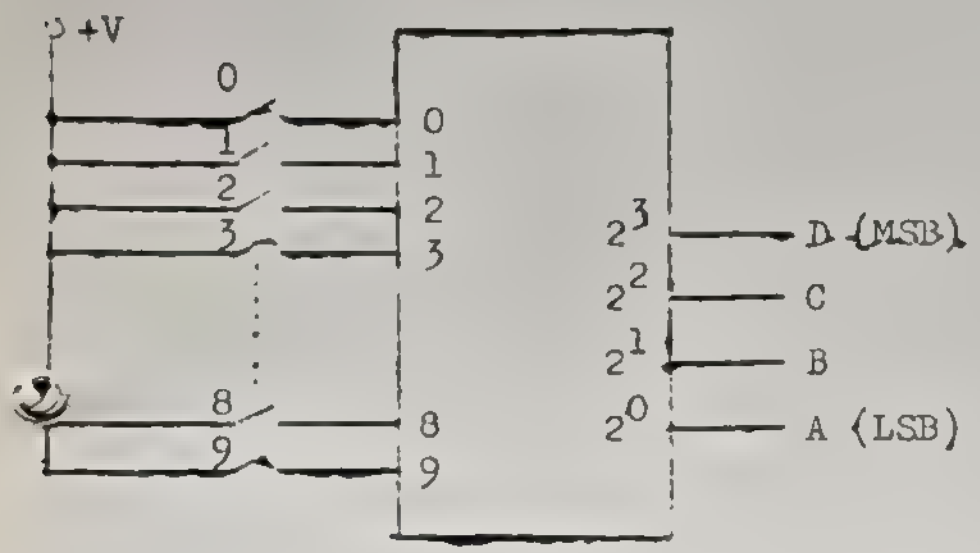
n Bit'lik iki sayının toplamı için bir adet yarım toplayıcı (LSB haneleri için) ve n-1 adet tam toplayıcı (diğer haneler için) gerekir. Böyle bir toplayıcının blok diyagramı aşağıda gösterilmiştir.



2-2. KODLAYICI (ENCODER)

Ondalık sayı sistemine alışmış insan ile,ikili sistemde çalışan mantık devreleri ve bilgisayarlar arasında bilgi alış verişini sağlayan en pratik kodlardan biri BCD (Binary Coded Decimal), ikili kodlanmış ondalık sayı kodudur.

0 ilâ 9 arası rakkamlardan oluşan bir tuş takımında,tuşlardan herhangibirine basıldığında,bu tuş değerinin ikili sayı sistemindeki karşılığı olan kodu üreten devreye "ondalıktan BCD'ye kodlayıcı devre" denir. Böyle bir kodlayıcının blok diyagramı ve doğruluk çizelgesi aşağıda gösterilmiştir.



Ondalık girişler (tuş no)	BCD çıkışlar D	C	B	A(LSB)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

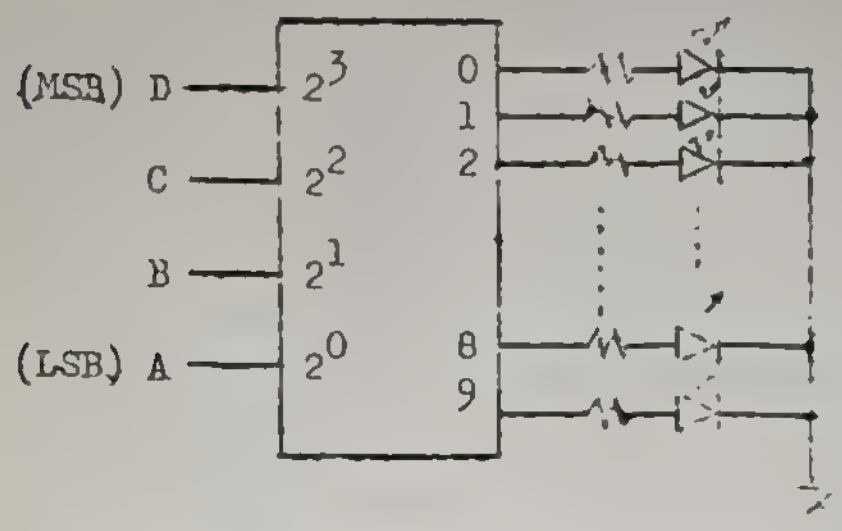
Doğruluk çizelgesine bakarak,çıkışlar için, aşağıdaki Boole ifadeleri yazılabilir.

$$D = 8 + 9$$
$$C = 4 + 5 + 6 + 7$$
$$B = 2 + 3 + 6 + 7$$
$$A = 1 + 3 + 5 + 7 + 9$$

Rakkamlarla birlikte,alfabetik karakterler,noktalama işaretleri,bazı semboller, ve bazı kontrol kumandaları (satır başı,satır atlama,zil çaldırma vb) da bir bilgisayara giriş bilgisi olarak,ikili sayı sisteminde kodlanmış şekilde verilebilir. ASCII (American Standard Code for Information Interchange) kod çevirici, standart bir klavyedeki bütün bilgileri 7 Bit'lik bir BYTE'a çevirebilir.Bu standart kod ile 2^7=128 değişik karakter ve kontrol deyimi kodlanabilir.

2.3. KOD ÇÖZÜCÜ (DECODER)

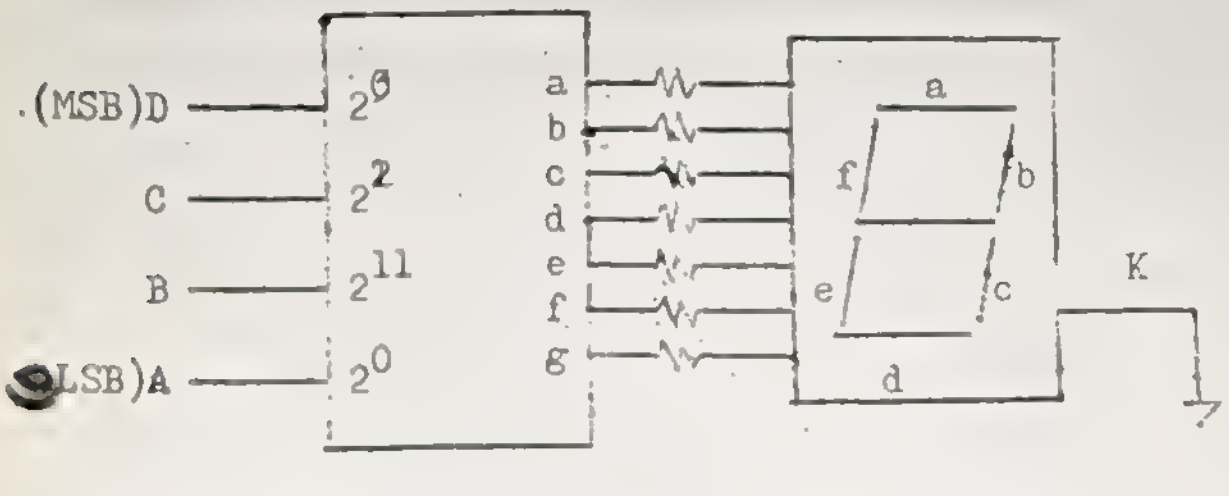
Bütün işlemlerini ikili sistemde yapan bir bilgisayarın,işlem sonuçlarını,dış dünyaya ondalık sistemde aktarabilmesi için bir kod çözücü devresine gereksinimi vardır. Örneğin,bir hanelik BCD kodlu çıkış bilgisini 10 adet ışıklı diyotta(Led) göstermek için,aşağıda blok diyagramı ve doğruluk çizelgesi verilen BCD/Decimal kod çözücü ve bir dizi Led kullanılabilir.



girişler				çıkışlar									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
								1					
									1				
										1			
											1		
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

Not: Böyle bir devrenin çıkışına bağlanacak Led'lerden geçen akımı sınırlamak için,Led'lere seri dirençler kullanılması unutulmamalıdır.

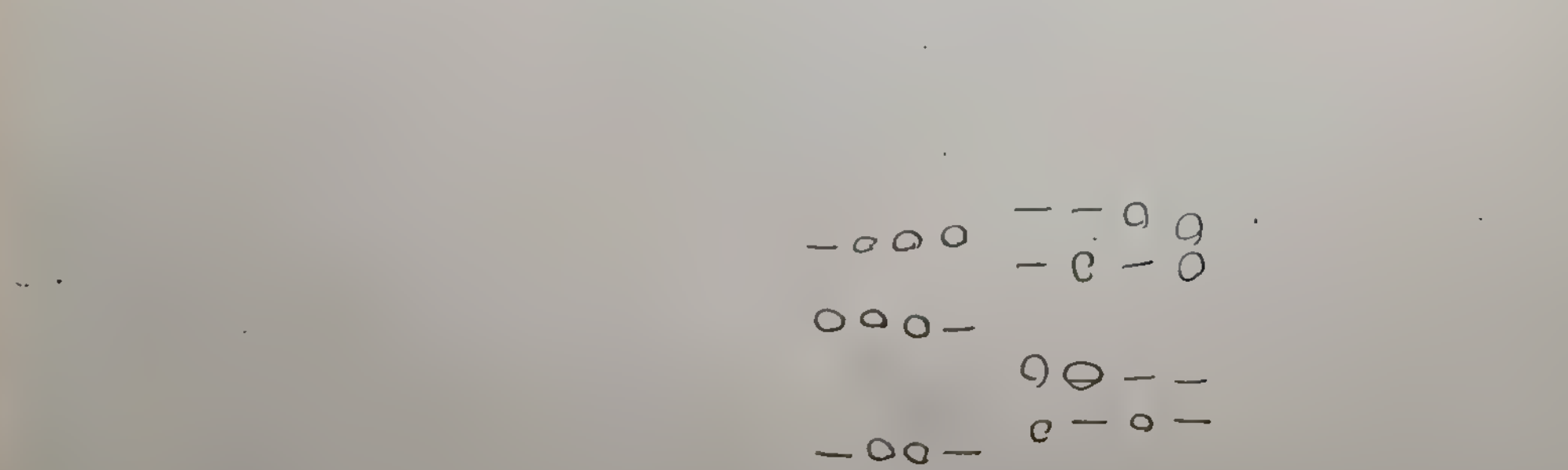
Yukarıdakine benzer şekilde,BCD kodlu bir çıkış bilgisi,7 parçalı göstergelere, ancak bir kod çözücü devre üzerinden aktarılabilir. Bu kod çözücü ise,BCD/7 segment kod çözücü olarak isimlendirilir.



Ortak katod LED gösterge için,BCD/7 segment kod çözücü ve gösterge bağlantı diyagramı.

(MSB)D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	0	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1

Ortak katod LED gösterge için kod çözücü doğruluk çizelgesi.



—o—o —oo—

——oo

—ooo

o—o—

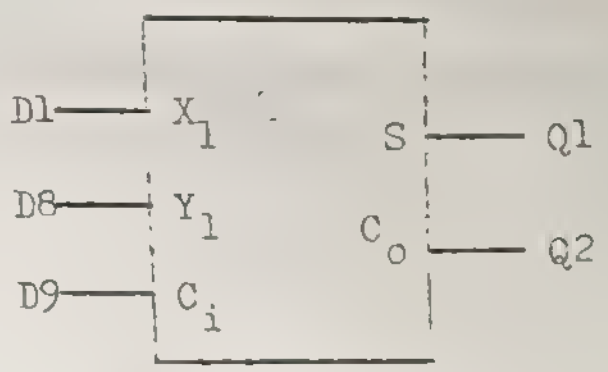
oo—— ooo—

3- ÖN ÇALIŞMA : Laboratuvara gelmeden önce,deneyin 4-1,4-2 ve 4-3. maddelerinde kullanacağınız devrelerin tasarımlarını yapınız.Bu devrelerin ayrıntılı şemalarını bir dosya kağıdına çiziniz. Deneyin 4-3.bölümü sonunda elde etmeyi beklediğiniz sonuçları da,bir tablo halinde aynı kağıt üzerinde gösteriniz.

4- DENEY :

4-1. Bir adet 7486 (dörtlü EX-OR) ve bir adet 7408 (dörtlü,2 girişli VE) kullanarak bir "yarım-toplayıcı"devresinin tasarımını yapınız. Devreyi kurarak, D0 + D7 ikili aritmetik toplamını gerçekleştiriniz.Toplam çıkışı için Q0,elde çıkışı için Q8 Led'lerini kullanınız.
Devrenin istenen şekilde çalıştığından emin olmak için,girişler ve çıkışlar için bir doğruluk çizelgesi hazırlayınız.
Devre ile çalışmanız bittiği zaman,devreyi sökmeyiniz.

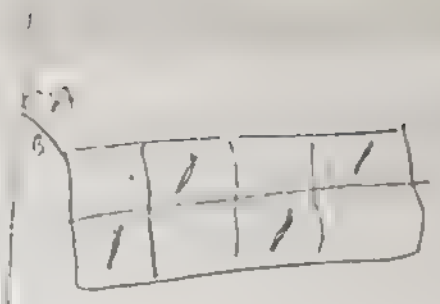
4-2. Aynı 7486 tümleşik devresine ilâve olarak bir adet 7400(dörtlü,2girişli VEDEĞİL) kullanarak bir"tam toplayıcı" devresinin tasarımını yapınız.Bu devre ile :
D1 + D8 + D9 ikili aritmetik toplamını gerçekleştiriniz.
Toplam çıkışı için Q1,elde çıkışı için Q2 Led'lerini kullanınız.
Devrenin doğru çalıştığından emin olmak için,
girişler ve çıkışlar için bir doğruluk çizelgesi hazırlayınız.
Devre ile çalışmanız bittiği zaman,devreyi sökmeyiniz.



4-3. Daha önce çalıştırdığınız yarım toplayıcı ve tam toplayıcı devrelerini uygun şekilde birleştirerek, X ve Y gibi 2 bit'lik iki sayının aritmetik toplamını,X ve Y nin alabileceği bütün değerler için, 7 parçalı göstergede gözleyebilmek için gerekli bağlantıları yapınız,ve aşağıdaki doğruluk çizelgesini deneysel olarak tamamlayınız.

$Y)_{10}$	$X)_{10}$	Y SAYISI (MSB)D8	D7	X SAYISI (MSB)D1	D0	TOPLAM (MSB)Q2	Q1	Q0	GÖSTERGE
0	0	0	0	0	0				
0	1	0	0	0	1				
0	2	0	0	1	0				
0	3	0	0	1	1				
1	0	0	1	0	0				
1	1	0	1	0	1				
1	2	0	1	1	0				
⋮		⋮		⋮					
5	5	1	1	1	1				

0	0	0	1
0	1	0	1
0	0	1	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



$Q = A.B$

$C_0 = BA + C_1A + BC_1$

$C_0 = A(B + C_1) + BC_1$

Hacettepe Üniversitesi
Müh.Fak.Fizik Müh.Böl.
FİZ 471 ELEKTRONİK LAB.III

Deney 4 : FLIP - FLOP ' lar

1-AMAÇ:

Ardışıl mantık (Sequantial logic) devrelerin temelini oluşturan Flip-Flop'ların davranışlarının incelenmesi.

2-GENEL BİLGİ:

Sayısal sistemlerde,çoğu zaman belirli bir andaki bilgileri depolama ve depolanan bu bilgileri daha sonra belirli mantık veya aritmetik işlemlerde kullanmak gerekir. Bu tip devrelere "ardışıl mantık devreleri" adı verilir.

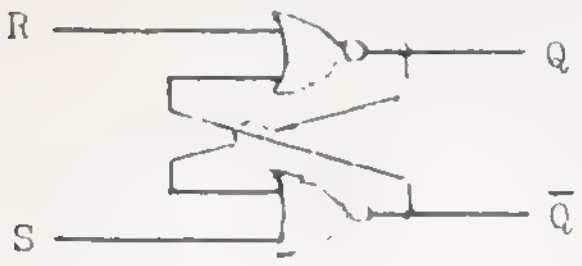
Ardışıl devrelerin çıkış fonksiyonları,devrenin o andaki giriş bilgileri ile, devrenin bir önceki durumuna bağlıdır.Bir önceki durumu hatırlaması ve ona göre davranması açısından,bu tip devreler "bellekli devreler"olarak anılırlar.Bellekli devrelerin temel yapıtaşı ise Flip-Flop'lardır.

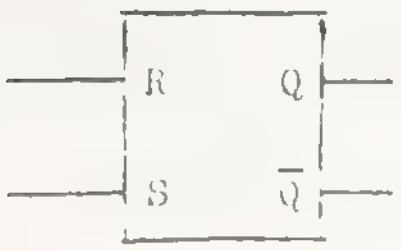
Flip-Flop'lar iki kararlı ardışıl devrelerdir (Bistable).Kararlı durum "0" veya "1" olabilir. FF'u bir kararlı durumundan diğerine ("0" dan "1" e,veya "1" den "0" a) geçirmek için,girişlerine uyarıcı sinyaller uygulanır.FF'un tipine göre,bu uyarıcı sinyal(tetik sinyali) ya bir gerilim seviyesidir ("0" veya "1") yada bir pulsun kenar geçişidir (0 $\xrightarrow{8}$ 1 ,veya 1 $\longrightarrow$ 0 geçişi).

Seviye tetiklemesi ile çalışan bellek öğeleri "Latch"veya "Latch tipi FF", kenar tetiklemesi ile çalışanlar ise sadece "Flip-Flop" adını alırlar.

2-1.R/S LATCH : Sayısal bilginin en küçük birimi bir "Bit" tir.En basit,temel ardışıl devre olan R/S Latch bir bit'lik bilgi belleğidir. s(Set)girişine aktif seviye uygulandığında(R ters seviyede iken),Q çıkışı "1" olur. R(Reset) girişine aktif seviye uygulandığında(S ters seviyede iken),Q çıkışı "0" olur. Aktif seviyenin "0" veya "1" oluşu,devrenin yapıldığı geçit tipine göre değişir.Girişlerden aktif seviye uyarıları kaldırıldığında(girişler inaktif seviyede iken) Latch çıkışı Q,daha önce aldığı son durumu koruyacaktır (Belleğinde tutacaktır).

VEYADEĞİL geçitleri ile R/S Latch

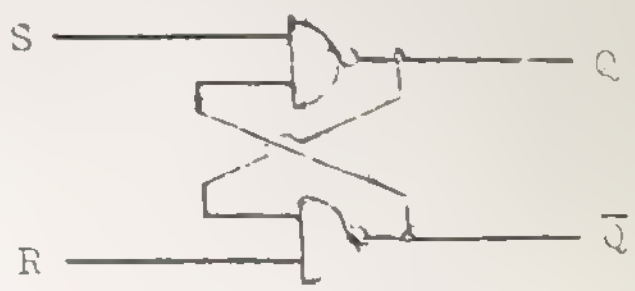


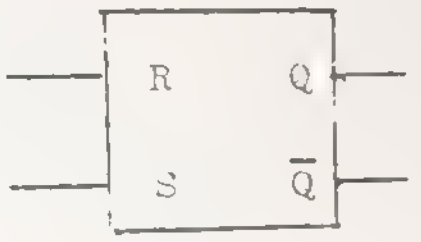


R	S	Q	$\overline{Q}$
0	0	Q_o	$\overline{Q}_o$
0	1	1	0
1	0	0	1
1	1	0*	0*

(*)Yasak durum

VEDEĞİL Geçitleri ile R/S Latch



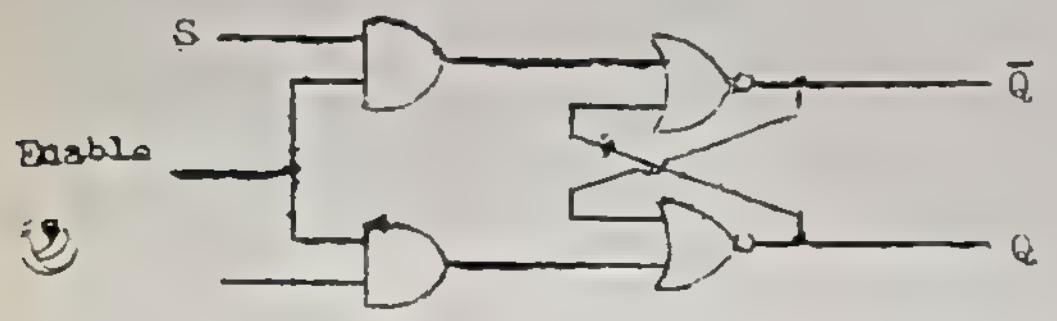


R	S	Q	$\overline{Q}$
1	1	Q_o	$\overline{Q}_o$
1	0	1	0
0	1	0	1
0	0	1*	1*

(*)Yasak durum

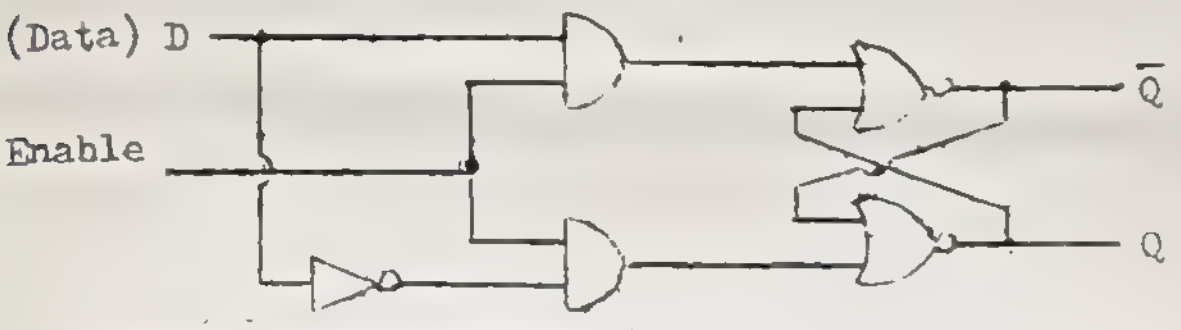
VEYADEĞİL geçitleri ile yapılan R/S Latch'te R=1,S=1 durumu ve
VEDEĞİL geçitleri ile yapılan R/S Latch'te R=0,S=0 durumunda Q ve $\bar{Q}$ çıkışları aynı mantık seviyesindedirler.Bu durumdan sonra R ve S girişleri aktif olmayan seviyelerine döndüklerinde,Qveya $\bar{Q}$ den hangisinin "1"de,hangisinin "0" da kalacağı bir yarış durumudur(Race condition).Seri olarak üretilen tümleşik devrelerde,hangi geçitin daha hızlı çalışacağı önceden bilinemediğinden, girişlerin"R=S= aktif durum" u,"yasak durum" (illegal condition) olarak tanımlanır ve (*) ile gösterilir.

2-2.GEÇİTLİ R/S LATCH: Temel R/S Latch devresinin önüne iki geçit ilavesi ile,R ve S uyarılarının ancak ve ancak bu iki geçiti kontrol eden "enable"girişinin aktif olduğu durumda temel devreye ulaşmaları sağlanır.Enable girişi inaktif seviyede iken,R ve S deki değişimler Latch'in durumunu değiştirmeyecektir.



R	S	En	Q	$\bar{Q}$
X	X	0	Q_o	$\bar{Q}_o$
0	0	1	Q_o	$\bar{Q}_o$
0	1	1	1	0
1	0	1	0	1
1	1	1	0*	0*

2-3. D-Latch: Bu tip bellek elemanında,geçitli R/S tipi devreye bir tersleyici ilavesi ile,R ve S nin her zaman birbirlerinin tersi seviyede kalmaları sağlanmıştır.Böylelikle,"yasak durum" önlenmiş olur.



D	En	$\bar{Q}$	Q
X	0	$\bar{Q}_o$	Q_o
0	1	1	0
1	1	0	1

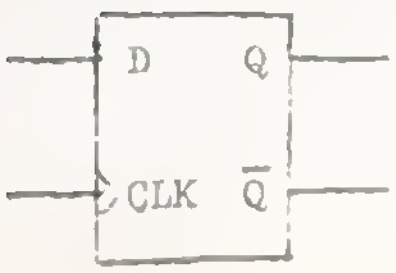
Enable girişi "1" olduğu sürece D deki bilgi değişimleri Q da aynen görülür.

Enable girişi "0" olduğu sürece,D deki bilgi değişimleri Q yu etkilemez.
Bu durumda Q,enable "0" olmadan önce almış olduğu son değeri belleğinde koruyacaktır.

2-4. D-FLİP-FLOP: D-Latch devresinin Enable girişine bir takım geçitler ilavesi ile bilgi yükleme işlemi,kontrol girişinin sadece bir "aktif kenarında"olması sağlanır.
Bu durumda,enable girişi "CLocK"adını alır. Aktif kenar 0 → 1 geçişi ise "pozitif kenar tetiklemeli FF", aktif kenar 1 → 0 geçişi ise "negatif kenar tetiklemeli FF" isimleri verilir.Bu ayırım,devrelerin hangi tip geçitlerle yapıldığına bağlıdır.

Pozitif kenar tetiklemeli

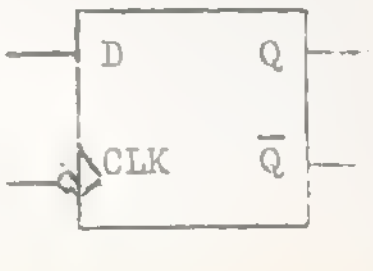
D-FF



D	CLK	Q	$\bar{Q}$
0	↓	0	1
1	↓	1	0
X	1	Q_o	$\bar{Q}_o$
X	↑	Q_o	$\bar{Q}_o$
X	0	Q_o	$\bar{Q}_o$

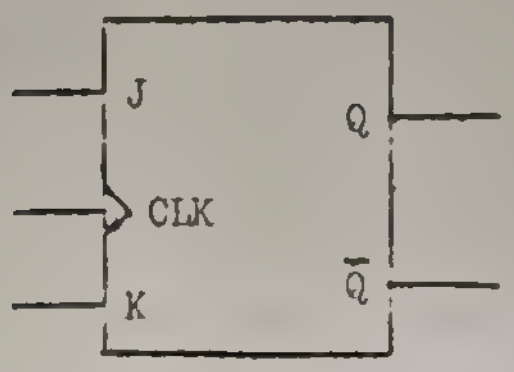
Negatif kenar tetiklemeli

D-FF



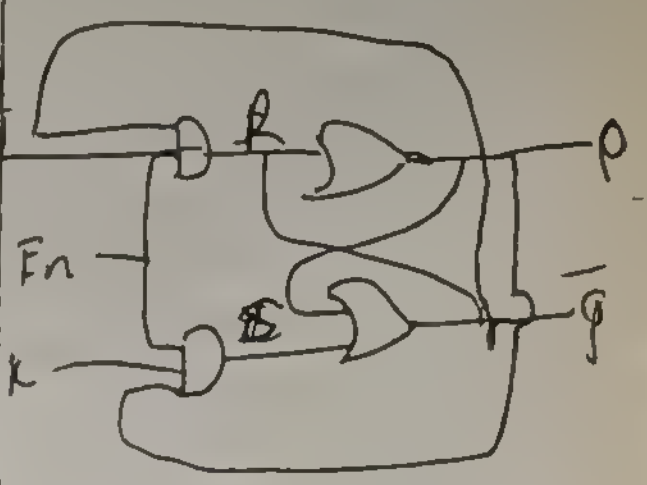
D	CLK	Q	$\bar{Q}$
0	↑	0	1
1	↓	1	0
X	0	Q_o	$\bar{Q}_o$
X	↓	Q_o	$\bar{Q}_o$
X	1	Q_o	$\bar{Q}_o$

2-5. JK FLIP-FLOP: En çok kullanılan FF türüdür. Aşağıdaki doğruluk cizelgesi bu FF'un bütün davranışları hakkında bilgi vermektedir.



Pozitif kenar tetiklemeli JK-FF

J	K	CLK	Q	$\bar{Q}$
0	0	↓	Q_o	$\bar{Q}_o$
0	1	↓	0	1
1	0	↓	1	0
X	X	1	Q_o	$\bar{Q}_o$
X	X	↑	Q_o	$\bar{Q}_o$
X	X	0	Q_o	$\bar{Q}_o$



3-ÖN CALIŞMA:

Laboratuvara gelmeden önce, deneyin 4-3. ve 4-4. maddelerindeki tasarımları yapınız.

4-DENEY:

3. bu kesimde VEYADEĞİL geçitleri ile yapılan R/S Latch incelenecektir.

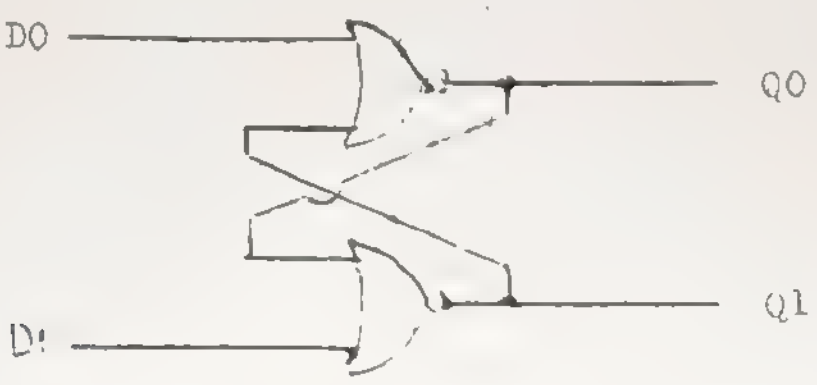
Aşağıdaki devreyi kurunuz.

D0 ve D1 anahtarlarının verilen durumlarına göre, Q0 ve Q1 Led çıkışlarının aldıkları mantık değerlerini yandaki çizelgeye işaretleyiniz.

NOT 1: Çizelgedeki bütün durumları aynı sıra içinde uygulayınız. Herhangibir yanlışlık durumunda, başa dönünüz.

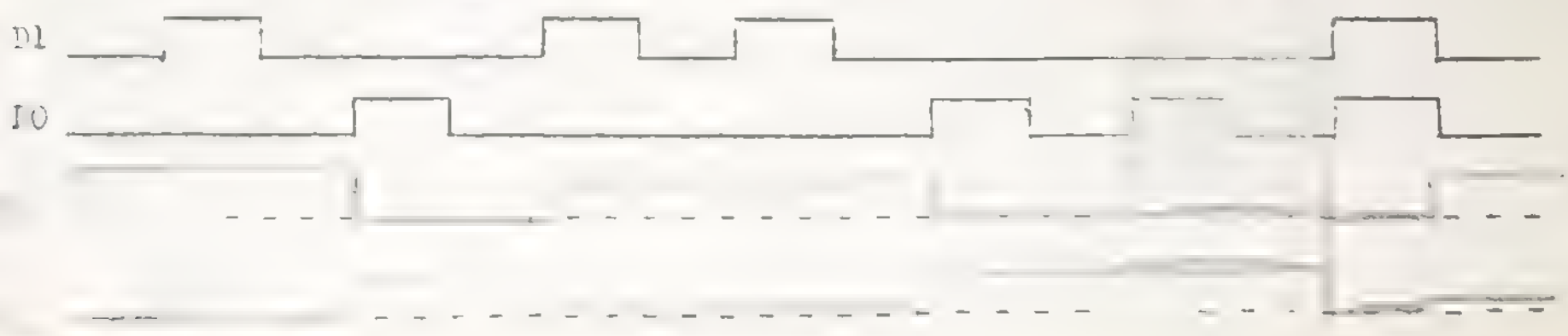
NOT 2: Çizelgenin son iki durumu için, her iki girişin aynı anda 1 ⟶ 0 geçişini yapabilmelerini sağlamak üzere, heriki girişi kısadevre yaparak tek bir anahtara bağlayınız.

D1	D0	Q1	Q0
0	0		
1	0		
0	0		
0	1		
0	0		
1	0		
0	0		
1	0		
0	0		
0	1		
0	0		
1	1		
0	0		

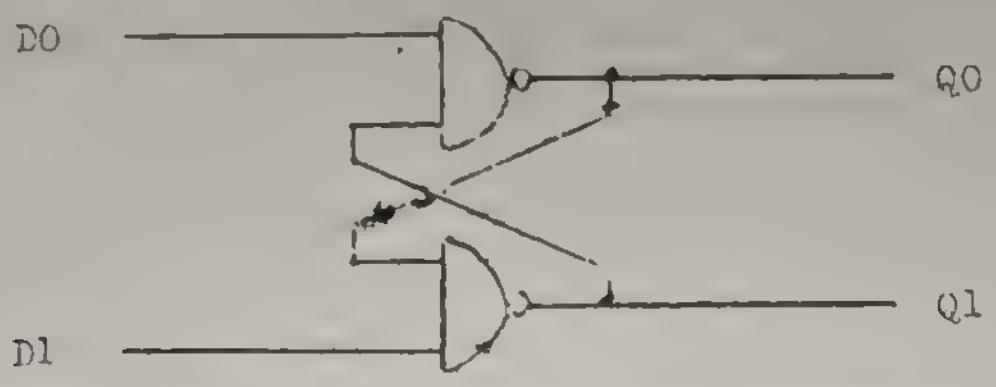


Çizelgeyi inceleyerek, girişlerden hangisinin R veya S ye, ve çıkışlardan hangisinin Q veya $\bar{Q}$ e ait olduğunu saptayarak, devre şeması, çizelge ve zaman diyagramı üzerinde gösteriniz.

S,R,Q ve $\bar{Q}$ için zaman diyagramını tamamlayınız.



4-2. Bu kesimde VEDEĞİL geçitleri ile yapılan R/S Latch incelenecektir.
Deneyin 4-1.kesiminde yaptığınız işlemlerin tümünü, giriş bilgilerinin yandaki çizelgede verilen durumlarına göre ve aşağıdaki devre için tekrarlayınız.



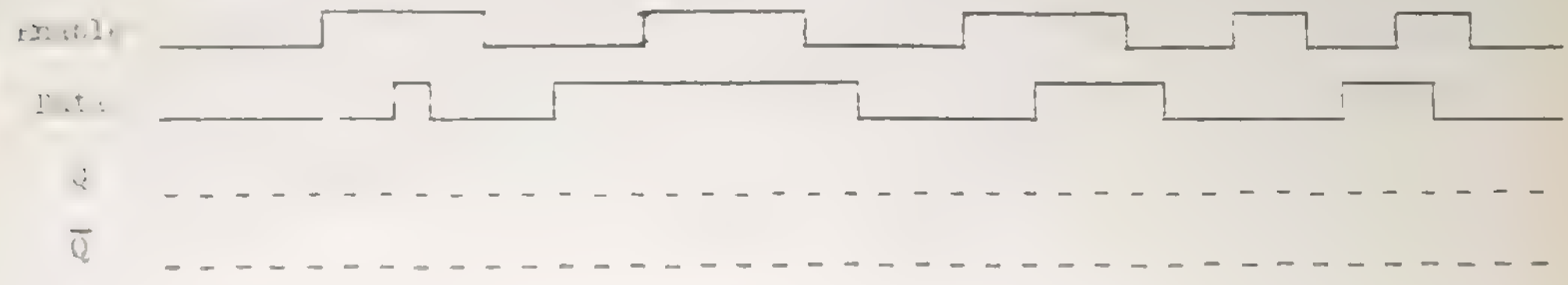
Elde ettiğiniz sonuçları bir zaman diyagramı şeklinde gösteriniz.

D1	DO	Q1	QO
1	1		
0	1		
1	1		
0	1		
1	1		
1	0		
1	1		
1	0		
1	1		
0	1		
1	1		
1	0		
1	1		
0	0		
1	1		

4-3. Bir adet 7400 kullanarak , enable girişli R/S Latch tasarımı yapınız.
Çizeceğiniz devre üzerinde giriş ve çıkışları açıkça belirtiniz.
Devreyi kurarak çalıştırınız. R , S ve Enable girişlerine aşağıdaki durumları sırayla uygulayarak Q ve $\overline{Q}$ çıkışlarını Led'lerden gözleyiniz Elde ettiğiniz sonuçları bir zaman diyagramında gösteriniz.

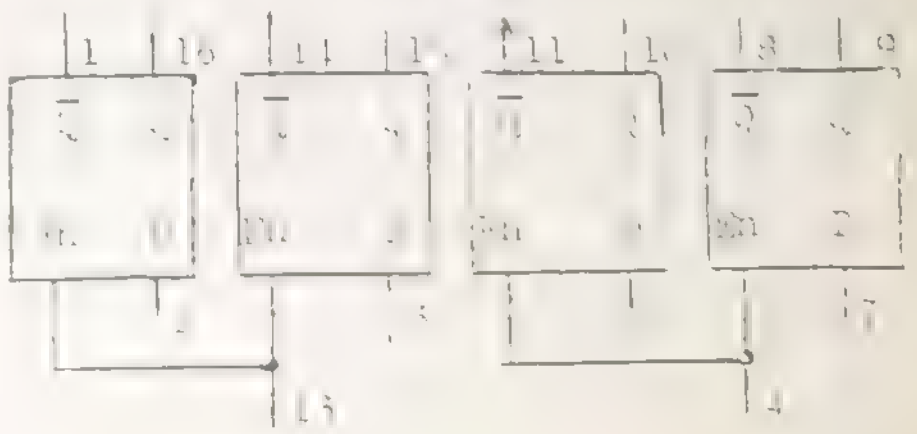
R/S:101,000,010,000,011,000,100,101,000,011,000,011,000,101,000,101,000,111,000.

4-4. İki adet 7400 kullanarak bir D-Latch tasarımı yapınız.
Çizeceğiniz devre üzerinde giriş ve çıkışları açıkça belirtiniz.
Devreyi kurarak çalıştırınız. Aşağıdaki zaman diyagramında gösterilen sinyalleri, anahtarlar yardımıyla, devreye uygulayarak ve çıkışları Led'lerden gözleyerek, diyagramı tamamlayınız.

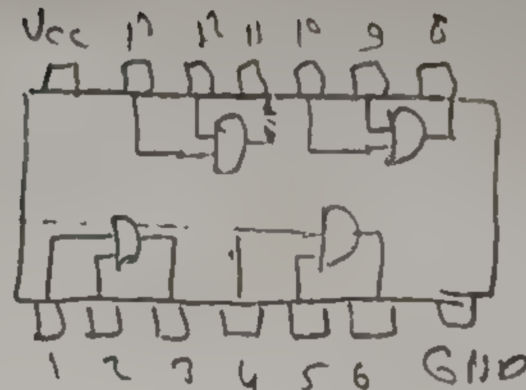


4-5. Bir adet 7475 tümleşik devresini kullanarak, D3,D2,D1,DO anahtarlarından vereceğiniz BCD bilgilerle,sırası ile 0,6,9,3,8,7,2,5 gibi sayıları(arada başka sayı gözlemeksizin) göstergeye aktarabilmek için gerekli devreyi kurunuz ve çalıştırınız.
Not:Enable girişi için clock sinyalini kullanınız.

7475 : Dörtlü D-Latch
(quad D-Latch)



7408 "AND"

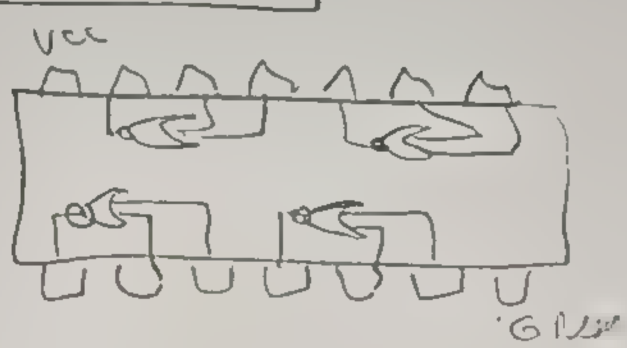


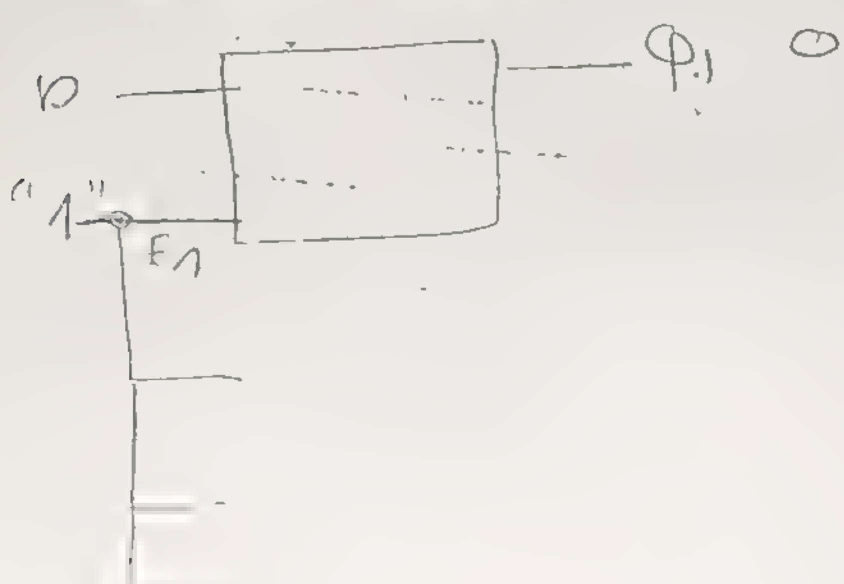
INVERTER → 7404 (benzer)

7432 veya → Benzer

VEDEĞİL

VEYADEĞİL





Hacettepe Üniversitesi
Müh.Fak.FİZİK MÜH.BÖL.
FİZ 471 ELEKTRONİK LAB.III

Deney 5 : FLIP-FLOP UYGULAMALARI

1- AMAÇ: Flip-flop'ların salt bellek elemanı olarak kullanılmaları dışında,frekans bölücü, sayaç,ve kayan yazmaç (shift register) uygulamalarına yönelik örnekleri incelemek.

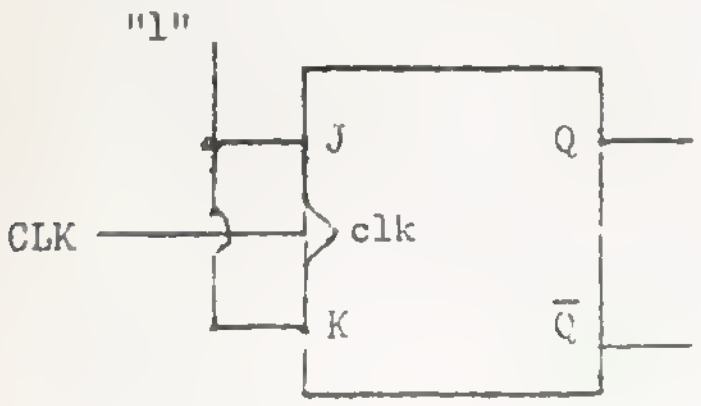
2- GENEL BİLGİ: Digital sayaçlar,sayısal elektronikte çok geniş uygulama alanı olan ardışıl devrelerdir.En basit görünümüyle bir digital saat,bir saniye aralıklarla osilatöründen çıkan pulslardan,ilerleyen zaman içinde,kaç tane geldiğini bir "sayaçta" sayarak,göstergesinde "sayma sonucu"nu yazmaktadır. Bir bilgisayar sisteminde de,bir dizi bilginin belleğe sıra ile yerleştirilmesi gerekiyorsa,herhangibir anda belleğin kaçıncı sırasında olduğumuzu ancak bir "sayaç"belirleyecektir.

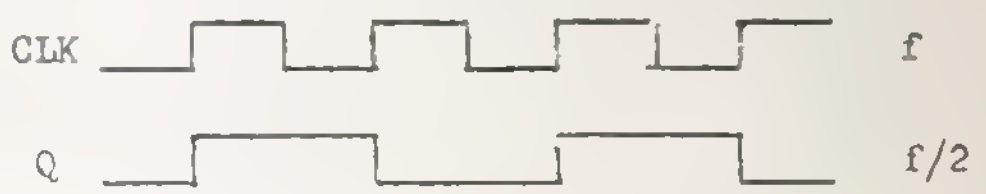
Bir digital sayaç,girişinden saat(clock)pulsları ile uyarıldığında,belirli bir sayı düzeninde ilerleyen Flip-Flop'lar dizisidir.Flip-Flop'ların çıkışları o ana kadar gelen pulsların sayısını "ikili sayı sisteminde" verir.

Bir sayacın çıkışlarının alabileceği bütün durumların sayısı,o sayacın "Modülo sayısı" olarak tarif edilir. Örneğin,dört FF'tan oluşan bir sayacın çıkışları $2^4 = 16$ farklı durum alabilir (0,1,2,..,15).Bu sayaç Modulo 16 sayaç olarak anılır. Bu sayaçta,baştan 11.durum bir decoder ile tespit edilip FF'ların ortak "sıfırlama girişine"uyarı verilirse,bütün FF'ların çıkışı "0" olacak ve sayaç ilk durumuna dönecektir.Bu durumda sayaç çıkışları ancak 10 farklı durum alabilecek ve modulo 10 olarak çalışacaktır.Bu sayaç 1 hanelik BCD sayaç olarak bilinir. Bu metodla istenilen modulo sayısında sayaçlar yapılabilir.

Ardışıl mantık devrelerinin diğer bir kategorisi de "Register" adı altında toplanan FF'lar dizisidir.Registerler bilgi saklama (bellek) grupları olarak kullanıldıkları gibi,"bilgi transferini" de sağlayabildikleri için sayısal elektronikte geniş uygulama alanı bulurlar.Örneğin,bilgisayarlarda,bir takım mantıksal ve aritmetik işlemlerde kullanılan "sağa kay,sola kay"komutları veya seri bilginin paralele,paralelbilginin seri bilgiye çevirilmesi işlemleri "shift register"ler kullanılarak gerçekleştirilebilir.

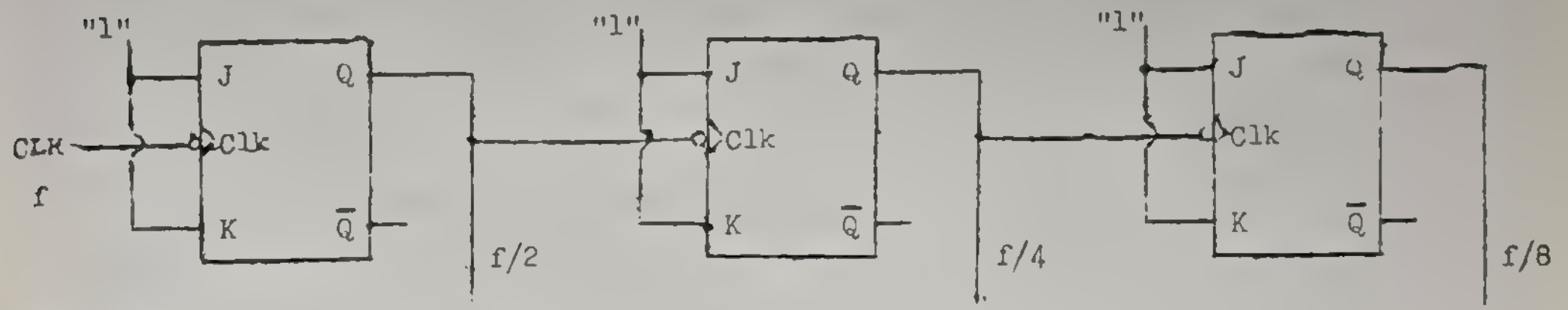
2-1.FREKANS BÖLÜCÜ: Bir JK Flip-Flop, J=1,K=1 durumunda,Clock girişinin her aktif kenarında, durumunu değiştirir.(Toggle). Bu modda çalışan FF, T tipi FF olarak isimlendirilir ve Clk frekansını "ikiye" böler.



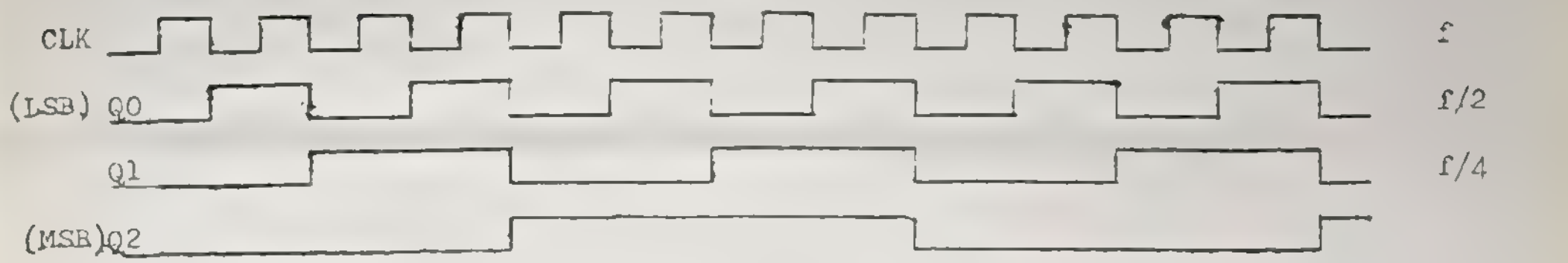


Pozitif kenar tetiklemeli T-tipi (toggle) FF ve zaman diyagramı.

2-2. SAYAÇ: Frekans bölücü özelliklerinden yararlanarak,negatif kenar tetiklemeli n adet T-tipi FF'u bir öncekinin Q çıkışı,bir sonrakinin clk girişine bağlamakla elde edilen devre ile giriş frekansını 2^n 'e bölmek mümkündür.Böyle bir devrede bütün FF'ların Q çıkışları dikkate alınacak olursa,ilk FF çıkışı LSB olmak üzere,bunların n bit'lik ikili(binary)sayacın çıkışları olduğu gözlenecektir. Bütün çıkışların alabileceği 2^n farklı durum vardır, modulo 2^n dir.

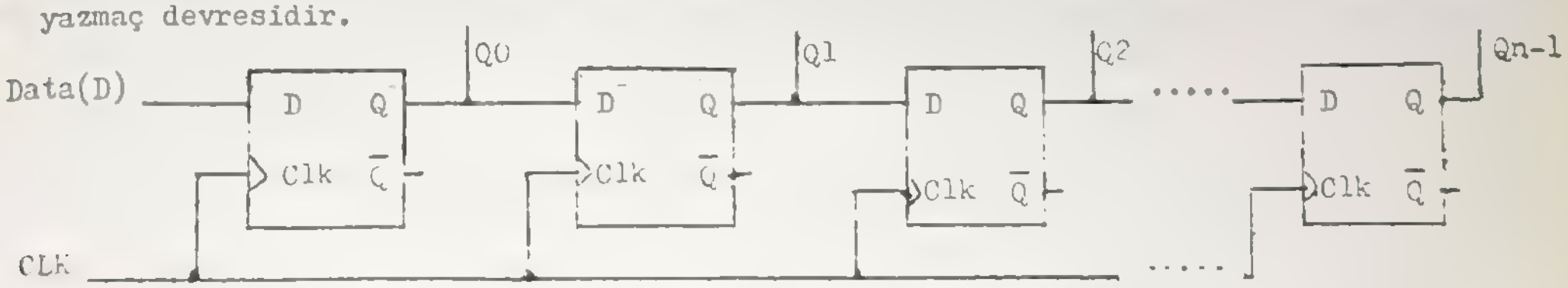


3 Bit binary sayaç devre diyagramı (Modulo 8)



3 Bit Binary sayaç zaman diyagramı

2-3. KAYAN YAZMAÇ (SHIFT REGISTER): Clk girişleri ortak olmak üzere,bir öncekinin Q çıkışı, bir sonrakinin D girişine bağlanan n adet D-tipi FF tan oluşan devre,n bit'lik kayan yazmaç devresidir.

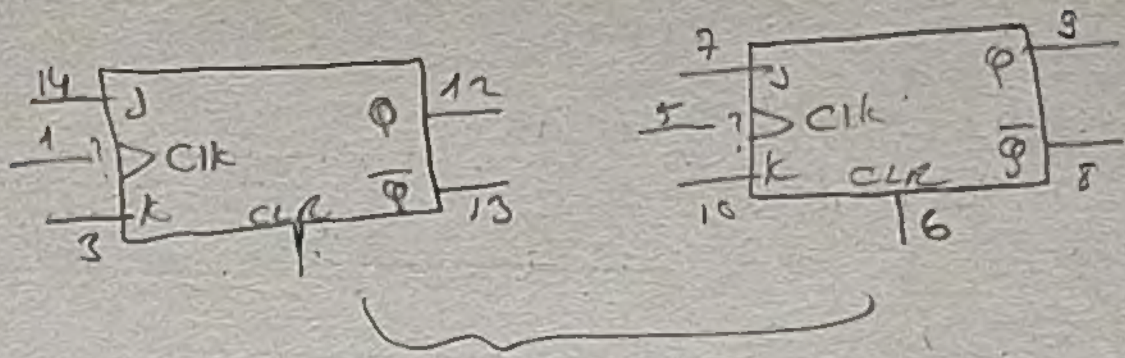


D-tipi FF'larla yapılan, n bit'lik seri girişli paralel çıkışlı shift register

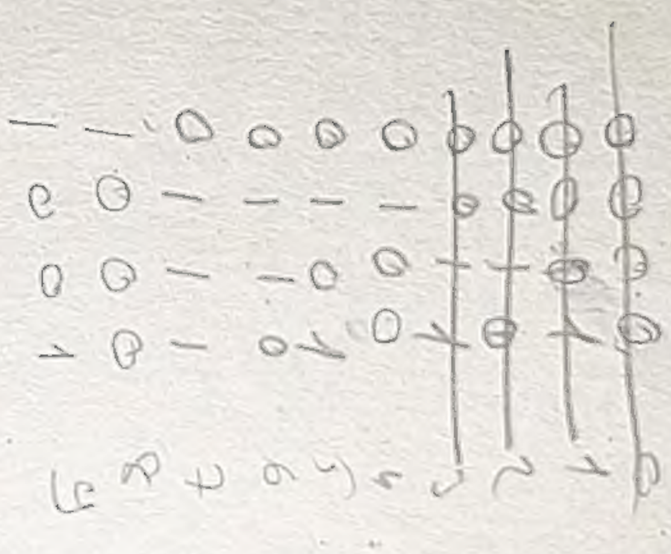
CLK pulsunun her aktif kenarında,girişteki bilgi(Data) ilk FF'a aktarılırken,her FF'un çıkış bilgisi bir sonraki FF'a aktarılarak belirli bir yönde (Q0 dan Qn-1 'e doğru) bilgi akışı sağlanır.

Kayan yazmaçlar,seri girişli/seri çıkışlı,seri girişli/paralel çıkışlı,paralelgirişli/seri çıkışlı, ve paralelgirişli/paralel çıkışlı olarak tasarımlanabilir.

7473 Dual JK FF with CLEAR



Vcc = 4
Gnd = 11.



3-ÖN ÇALIŞMA: Laboratuvara gelmeden önce,deneyin 4-2,4-3 ve 4-5. kesimlerindeki tasarımları yapınız. 4-6.maddesini dikkatle inceleyiniz ve yapacağınız işlemleri planlayınız.

4- DENEY:

4-1. 7473 (İkili JK-FF) tümleşik devre diyagramı size verilecektir. CLK girişine ⌐ veya ⌐ sinyallerinden birini uygulayarak,bu FF'ların hangi kenar tetiklemesi ile çalıştıklarını saptayınız.Bu işlemi yaparken FF'u toggle durumunda çalıştırınız.

Girişlere,aşağıda verilen durumları sırası ile uygulayarak ve her durum için bir clk pulsu vererek,Q ve $\overline{Q}$ çıkışlarını Led'lerden gözleyiniz.Sonucu,bir doğruluk çizelgesi ve bir zaman diyagramı çizerek gösteriniz.

Durumlar: CLR,J,K : 000,110,100,100,101,100,100,111,111,111,111,111,000,001,010,011.

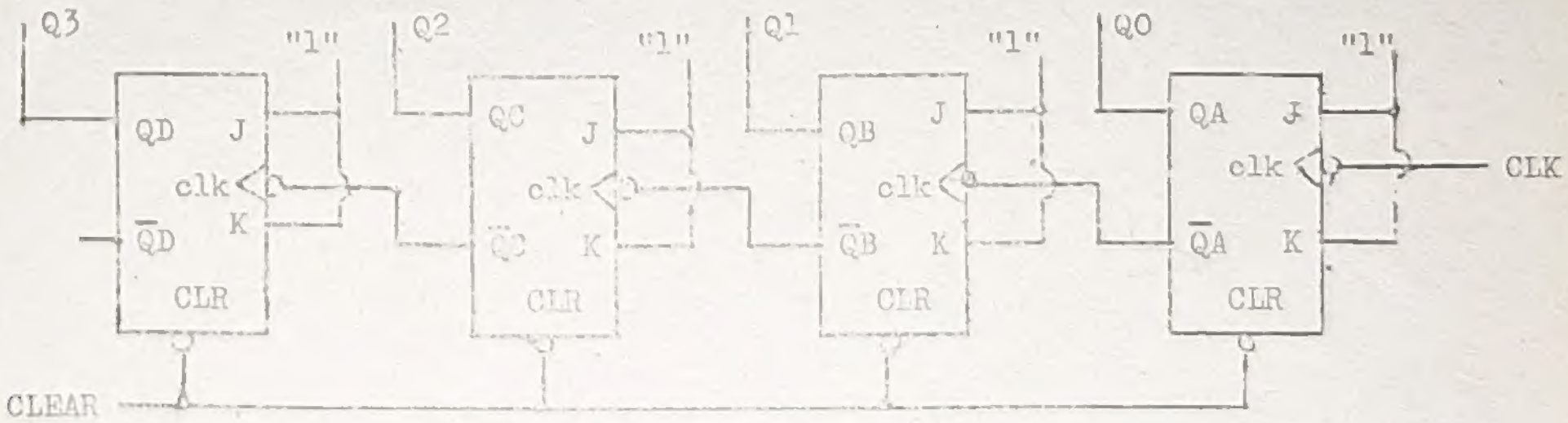
4-2. Deney föyünün 2-2.Sayaç kesimini dikkatlice okuyarak,iki adet 7473 tümleşik devre kullanarak,4 Bit'lik binary sayaç devresinin tasarımını yapınız.Her FF'un "0" aktif çalışan bir CLR(Clear=sıfırlama)girişi olduğunu 4-1 kesiminde saptamış olacaksınız.Bu özelliği dikkate alarak tasarımınızı tamamlayınız.

Devreyi kurunuz ve sayaç girişine ⌐ pulslarını uygularken,sayaç çıkışlarını Q3,Q2,Q1 ve Q0 Led'lerinden gözleyiniz. (Q0=LSB) Devreniz doğru çalışıyor ise,bu kez sayaç girişine 10 kHZ frekansında karedalga uygulayarak giriş ile birlikte,sayacın tüm çıkışlarını osiloskopta inceleyerek alt alta bir zaman diyagramında gösteriniz.

Not: Çalışmanız bittiği zaman bu devreyi sökmeyiniz.

4-3. Yukarıda çalıştırdığınız devreye bir adet 7400 tümleşik devre ilavesiyle "bir hanelik BCD sayaç" devre tasarımını yapınız.Devreyi kurunuz,sayaç çıkışlarını 7 parçalı göstergelerden birinin girişlerine bağlayınız.Sayaç girişine ⌐ pulslarını uygularken, göstergedeki saymaları izleyiniz.Devreniz doğru çalışıyor ise,bu kez girişe 10 kHz frekansında karedalga uygulayarak,giriş ile birlikte sayacın çıkışlarını osiloskop yardımıyla bir zaman diyagramında gösteriniz.Bu diyagramı inceleyerek,sayma işlemini irdeleyiniz.

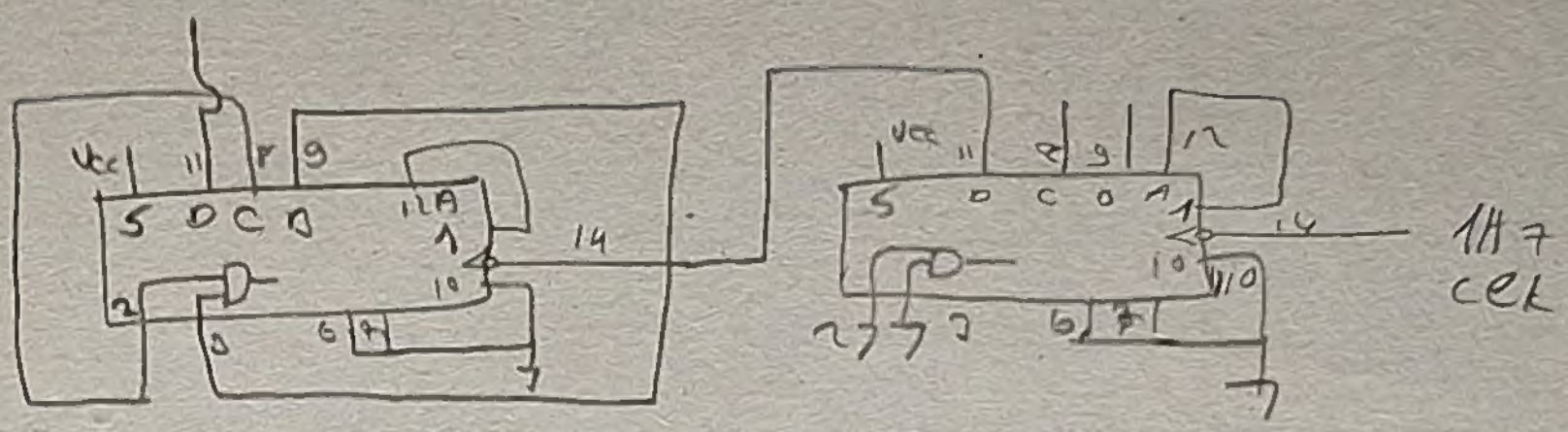
4-4. Aşağıdaki devreyi inceleyiniz.



Ortak Clear girişi inaktif seviyede ("1") tutulduğunda,ve CLK girişinden bir karedalga verildiğinde, QA,$\overline{Q}$A,QB,$\overline{Q}$B,QC,$\overline{Q}$C,QD ve$\overline{Q}$D çıkışlarında beklenen sinyalleri bir zaman diyagramı şeklinde çiziniz.Bu diyagramı inceleyerek devrenin nasıl saydığını saptayınız.

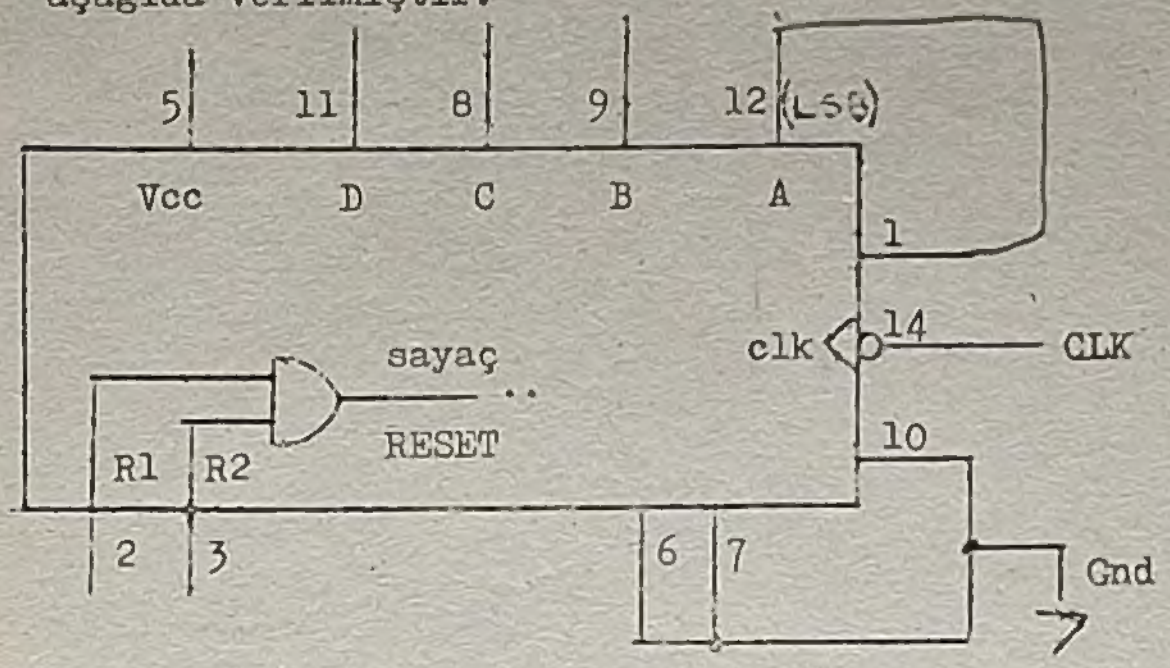
4-

Saat



4-

4-5. 7490 BCD sayaç tümleşik devre diyagramı ve basitleştirilmiş doğruluk çizelgesi aşağıda verilmiştir.



RESET GİRİŞLERİ		ÇIKIŞLAR
R1	R2	D C B A
1	1	0 0 0 0
0	X	SAYMA
X	0	SAYMA

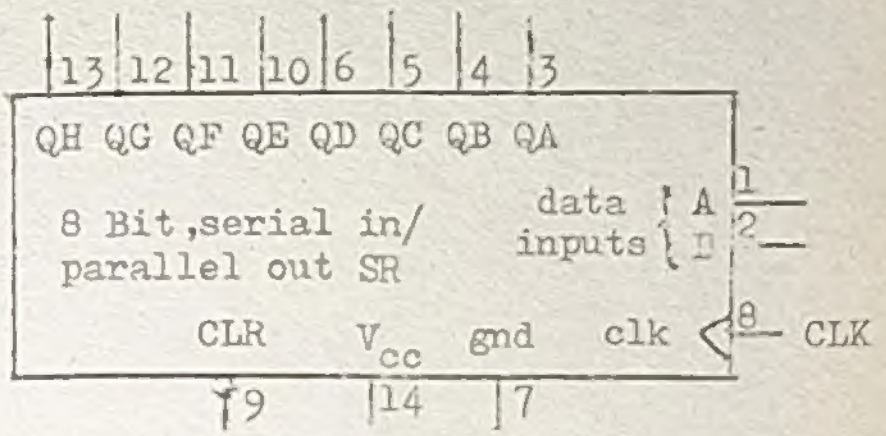
Tümleşik devrenin reset girişlerini D1 ve D0 anahtarlarına,çıkışlarını ise 7 parçalı göstergelerden sağdakinin girişlerine sırası ile bağlayınız.Clk girişinden uygun pulslar vererek yukarıdaki doğruluk çizelgesini irdeleyiniz.Devreniz doğru çalışıyor ise,bu kez clk girişinden 10 kHz frekansında karedalga uygulayarak Clk,A,B,C ve D için bir zaman diyagramı çiziniz.

TASARIM: 2 adet 7490 ve uygun bir Clk frekansı kullanarak bir digital saatın saniye haneleri için bir sayaç tasarımı yapınız. Gösterge olarak 7 parçalı göstergeleri kullanınız. Devreyi kurup çalıştırınız.Doğru çalışıyor ise,x10 sn hanesi çıkışları için bir zaman diyagramı çiziniz.

4-6. SORU: Önünüzdeki deney setini kullanarak,yanınızdaki grup arkadaşlarınızın deney setindeki 7 parçalı göstergelere,2 hanelik bir sayı bilgisini gönderebilmek için ne yapmanız gerekir? Bu bilgi transferinde,yandaki masaya kadar uzanan en az kaç adet tele ihtiyacınız vardır?

74164 (8 bit,seri girişli/paralel çıkışlı shift register) tümleşik devre diyagramı ve doğruluk çizelgesi aşağıda verilmiştir.

GİRİŞLER				ÇIKIŞLAR				
CLEAR	CLOCK	A	B	QA	QB	QC	...	QH
0	X	X	X	0	0	0		0
1	↓,0,↑	X	X	Q_{AO}	Q_{BO}	Q_{CO}		Q_{HO}
1	↑	1	1	1	Q_{AO}	Q_{BO}		Q_{GO}
1	↑	0	X	0	Q_{AO}	Q_{BO}		Q_{GO}
1	↑	X	0	0	Q_{AO}	Q_{BO}		Q_{GO}



AMAÇ: Onlu sistemde verilen iki hanelik bir sayı bilgisini 7 parçalı göstergelere aktarmak.

- A ve B seri bilgi girişlerini D1 ve D0 anahtarlarına,Clear girişini D9 anahtarına,
- QA,QB,QC,QD çıkışlarını sırası ile,sağdaki 7 parçalı göstergenin A,B,C,D girişlerine,
-QE,QF,QG,QH " " " soldaki " " " A,B,C,D " bağlayınız.

CLK girişi için ↑ sinyalini kullanarak,iki haneli n sayısını ($00 \leq n \leq 99$) göstergelere aktarabilmek için gerekli işlemleri yapınız.

SORU: Bu kesimin başında sorulan soruyu,daha iyi bir yaklaşımla,yeniden cevaplayınız.